

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
in this Office.

出願年月日
Date of Application:

2000年 1月13日

出願番号
Application Number:

特願2000-004581

出願人
Applicant(s):

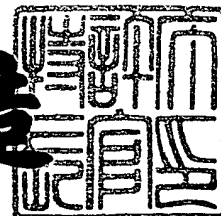
日本電気株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年10月20日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3087323

【書類名】 特許願

【整理番号】 47500352PE

【あて先】 特許庁長官殿

【国際特許分類】 H04L 7/08

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 高橋 次男

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100083987

 【弁理士】

 【氏名又は名称】 山内 梅雄

【手数料の表示】

 【予納台帳番号】 016252

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9006535

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 フレーム同期検出回路

【特許請求の範囲】

【請求項 1】 所定のタイミングでフレーム化された受信データからあらかじめ決められたフレーム同期パターンを検出するフレーム同期パターン検出手段と、

このフレーム同期パターン検出手段の検出結果に基づいて前記フレーム同期パターンを探している状態としてのハンチング状態であるか否かを判定するハンチング状態判定手段と、

このハンチング状態判定手段によってハンチング状態にあると判定されたとき前記受信データのフレームの先頭を示すフレームパルスの前後の所定の時間だけ前記タイミングを停止させるタイミング停止手段
とを具備することを特徴とするフレーム同期検出回路。

【請求項 2】 前記ハンチング状態判定手段によってハンチング状態にあると判定されたとき前記フレームパルスの前後の前記所定の時間を除いて前記フレーム同期パターン検出手段および前記ハンチング状態判定手段によるフレーム同期検出動作をリセットするリセット手段を備えることを特徴とする請求項 1 記載のフレーム同期検出回路。

【請求項 3】 前記タイミング停止手段による停止タイミングと前記リセット手段によるリセットを行うタイミングとが異なることを特徴とする請求項 2 記載のフレーム同期検出回路。

【請求項 4】 フレーム化された受信データからあらかじめ決められたフレーム同期パターンを検出するフレーム同期パターン検出手段と、

このフレーム同期パターン検出手段の検出結果に基づいて前記フレーム同期パターンを探している状態としてのハンチング状態であるか否かを判定するハンチング状態判定手段と、

このハンチング状態判定手段によってハンチング状態にあると判定されたとき前記受信データのフレームの先頭を示すフレームパルスの前後の所定の時間だけ前記受信データを固定化する受信データ固定化手段
とを具備することを特徴とするフレーム同期検出回路。

【請求項 5】 フレーム化された受信データからあらかじめ決められたフレーム同期パターンを検出するフレーム同期パターン検出手段と、

このフレーム同期パターン検出手段の検出結果に基づいて前記フレーム同期パターンを探している状態としてのハンチング状態であるか否かを判定するハンチング状態判定手段と、

このハンチング状態判定手段によってハンチング状態にあると判定されたとき前記フレームパルスの前後の前記所定の時間を除いて前記フレーム同期パターン検出手段および前記ハンチング状態判定手段によるフレーム同期検出動作をリセットするリセット手段

とを具備することを特徴とするフレーム同期検出回路。

【請求項 6】 フレーム化された受信データからあらかじめ決められたフレーム同期パターンを検出するフレーム同期パターン検出手段と、

このフレーム同期パターン検出手段の検出結果に基づいて前記フレーム同期パターンを探している状態としてのハンチング状態であるか否かを判定するハンチング状態判定手段と、

このハンチング状態判定手段によってハンチング状態にあると判定されたとき前記フレームパルスの前後の前記所定の時間だけ前段に接続された回路を停止させる回路停止制御手段

とを具備することを特徴とするフレーム同期検出回路。

【請求項 7】 前記回路停止制御手段は前記回路の停止を解除するときフレーム同期検出動作のタイミングの停止を解除してから前記前段に接続された回路の停止を解除することを特徴とする請求項 6 記載のフレーム同期検出回路。

【請求項 8】 所定のタイミングでフレーム化された受信データからあらかじめ決められたフレーム同期パターンを検出するフレーム同期パターン検出手段と、

このフレーム同期パターン検出手段の検出結果に基づいて前記フレーム同期パターンを探している状態としてのハンチング状態であるか否かを判定するハンチング状態判定手段と、

このハンチング状態判定手段によってハンチング状態にあると判定されたとき前記受信データのフレームの先頭を示すフレームパルスの前後の所定の時間だけ

少なくとも回路内の一部を停止させる回路停止手段
とを具備することを特徴とするフレーム同期検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、フレーム同期検出回路に係わり、詳細には低消費電力化を図るフレーム同期検出回路に関する。

【0002】

【従来の技術】

光ファイバによる高速伝送技術として米国で開発された同期光通信網（Synchronous Optical Network：SONET）技術を基礎として、多重化に必要な同期クロックを網として供給する網同期方式である同期デジタル・ハイアラキ（Synchronous Digital Hierarchy：以下、SDHと略す。）技術が、国際電気通信連合電気通信標準化部門（International Telecommunication Union-Telecommunication：ITU-T）で標準化されている。このSDH技術による伝送システムで送受信されるSDH信号は、フレーム化構成される。フレーム化構成されたSDH信号は、送信側でフレームの特定位置に固定のフレーム同期パターンが配置され、受信側でこのフレーム同期パターンを認識してフレームの同期検出を行うことでフレーム位相を正確に認識し、所定フォーマットの信号の送受信を行う。このようなフレームの同期検出を行う回路を、フレーム同期検出回路という。

【0003】

図15は、このようなフレーム同期検出回路が適用されたSDH伝送装置の構成の概要を表わしたものである。このSDH伝送装置では、バックプレーン伝送、シェルフ間伝送、架間伝送等の比較的伝送距離が短いSDH信号による送受信が行われる。SDH伝送装置は、それぞれ光ファイバ10₁～10₃を介してSDH信号を送受信するための第1～第3のインタフェース（InterFace：以下IFと略す。）盤11₁～11₃と、SDH信号の送受信に必要な基準信号を発生させる基準信号発生盤12と、基準信号発生盤12で発生された基準信号に同期させて各IF盤からの伝送信号をクロスコネクトするクロスコネクト盤13とを備え

ている。

【 0 0 0 4 】

第 1 ～ 第 3 の I F 盤 1 1₁ ～ 1 1₃ は、それぞれ光ファイバ 1 0₁ ～ 1 0₃ を介して受信された例えば 1 0 G b p s の光信号である S D H 信号を光電変換し受信データ 1 4₁ ～ 1 4₃ およびクロック信号 1 5₁ ～ 1 5₃ を抽出する光電変換部 1 6₁ ～ 1 6₃ と、各受信データおよびクロック信号からあらかじめ決められたフレームフォーマットにしたがって S D H 信号の S O H (Section OverHead) 部の終端処理を行う S O H 終端部 1 7₁ ～ 1 7₃ と、S O H 終端部 1 7₁ ～ 1 7₃ によって終端された受信データ 1 8₁ ～ 1 8₃ とクロック信号 1 9₁ ～ 1 9₃ からフレームの位相関係を示すポインタの付け替えを行って装置内フレームの先頭を示す装置内フレームパルスを基準に位相関係を調整するポインタ付替部 2 0₁ ～ 2 0₃ とを備えている。

【 0 0 0 5 】

基準信号発生盤 1 2 は、基準信号発生部 2 1 を備え、装置内の基準信号としての装置内クロック 2 2 と、装置内のフレームデータの先頭を示すフレームパルス (Frame Pulse: 以下、F P と略す。) 2 3 とを生成し、これらをポインタ付替部 2 0₁ ～ 2 0₃ およびクロスコネクタ盤 1 3 に対して供給する。

【 0 0 0 6 】

クロスコネクタ盤 1 3 は、クロスコネクタ部 2 4 を備え、各 I F 盤から出力された受信データのクロスコネクタスイッチを行う。

【 0 0 0 7 】

第 1 ～ 第 3 の I F 盤 1 1₁ ～ 1 1₃、基準信号発生盤 1 2 およびクロスコネクタ盤 1 3 は、それぞれ基板モジュールであり、これら各盤の間はバス信号線で接続されている。1 本の光ファイバから 1 0 G b p s の S D H 信号を受信した各 I F 盤は、1 6 本の 6 0 0 M b p s データとしてクロスコネクタ盤 1 3 に対して出力するようになっている。受信側では、クロック信号を別個に受信した場合その信号遅延のずれを無視することができないことから、各ポインタ付替部からそれぞれ受信データ 1 8₁ ～ 1 8₃ にクロック信号 1 9₁ ～ 1 9₃ 成分を含むデータ信号 2 5₁ ～ 2 5₃ が出力され、受信側であるクロスコネクタ部 2 4 でクロック信号成分

が抽出される。

【0008】

図16は、クロスコネクト部24の構成要部を表わしたものである。クロスコネクト部24は、各IF盤に対応して、それぞれビット同期回路 $26_1 \sim 26_3$ と、フレーム同期検出回路 $27_1 \sim 27_3$ と、先入れ先出し（First-In First-Out：以下、FIFOと略す。）回路 $28_1 \sim 28_3$ とを備えている。さらに、クロスコネクト部24は、各IF盤に対応したFIFO回路 $28_1 \sim 28_3$ から読み出されたデータに対してクロスコネクトスイッチを行うファンクション部29を有している。

【0009】

IF盤のポインタ付替部 $20_1 \sim 20_3$ から出力されるデータ信号 $25_1 \sim 25_3$ は、上述したようにクロック信号成分が含まれており、ビット同期回路 $26_1 \sim 26_3$ では、それぞれ例えば共振周波数をあらかじめ決められたクロック信号の周波数とした共振回路からなるクロック信号抽出回路により、受信したデータ信号 $25_1 \sim 25_3$ から受信データ信号 $30_1 \sim 30_3$ と、クロック信号 $31_1 \sim 31_3$ を抽出する。

【0010】

フレーム同期回路 $27_1 \sim 27_3$ は、ビット同期回路 $26_1 \sim 26_3$ で抽出されたクロック信号 $31_1 \sim 31_3$ でビット同期された受信データ信号 $30_1 \sim 30_3$ に含まれる固定パタンのフレーム同期パターンを検出し、検出したフレーム同期パターンを基準にフレーム同期を行う。フレーム同期されたデータ信号 $32_1 \sim 32_3$ と、ビット同期回路 $26_1 \sim 26_3$ で抽出されたクロック信号 $31_1 \sim 31_3$ がそのまま出力されたクロック信号 $33_1 \sim 33_3$ は、FIFO回路 $28_1 \sim 28_3$ に供給される。

【0011】

FIFO回路 $28_1 \sim 28_3$ では、フレーム同期回路 $27_1 \sim 27_3$ でフレーム同期されたデータ信号 $32_1 \sim 32_3$ がクロック信号 $33_1 \sim 33_3$ に同期して書き込まれる。FIFO回路 $28_1 \sim 28_3$ は、基準信号発生盤12で生成された装置内クロック22および装置内FP23が供給されており、FIFO回路内に書き込

まれたデータは装置内FP23で特定されるフレームに関して、装置内クロック22に同期して順次読み出される。

【0012】

図17は、このような構成のSDH伝送信号の動作タイミングを表わしたものである。同図(a)は、本来第1～第3のIF盤11₁～11₃で受信されるデータから抽出される受信クロックのタイミングを示す。同図(b-1)～(b-4)は、第1～第3のIF盤11₁～11₃を介して受信されたデータからFIFO回路28₁～28₃に書き込まれる時点のFPの位相関係を示す。同図(c-1)～(c-4)は、FIFO回路28₁～28₃から読み出される時点のFPの位相関係を示す。同図(d)は、FIFO回路28₁～28₃による位相吸収範囲35における部分を拡大したときの装置内クロックのタイミングを示す。同図(e-1)～(e-4)は、FIFO回路28₁～28₃による位相吸収範囲35における部分を拡大したときの各IF盤のFP関係を示す。

【0013】

すなわち、同図(b-1)～(b-3)に示すように各IF盤では受信されたデータは、同図(a)に示す本来の受信クロックに対して位相差のずれが生ずるばかりでなく、同図(b-4)に示す基準信号発生盤12によって発生された装置内FP23との間でも位相のずれが生ずる。これらは、物理的な伝送距離の違いや各IF盤における回路構成の違いにより、クロスコネクタ盤13に到達するFPの位相がそれぞれ時間的にばらつきが生ずることに起因する。このため、SDH伝送装置では、クロスコネクタ部24において、クロスコネクタスイッチを行う直前に、フレーム同期回路27₁～27₃でフレーム同期検出を行いフレーム位相を検出した後、FIFO回路28₁～28₃によって基準信号発生盤12によって発生された装置内クロック信号に同期して読み出すことによって同図(c-1)～(c-4)に示すように各IF盤における受信データの位相差調整を行う。

【0014】

その結果、28時間のFIFO位相吸収範囲35における部分では、各IF盤で受信されたデータの位相と基準信号発生盤12によって発生された装置内FP

2 3 との間の位相が完全に一致した状態で、クロスコネクトスイッチングが行われる。

【 0 0 1 5 】

ところで、近年の集積化技術の発展により大規模集積回路 (Large Scale Integrated circuit : L S I) 化された通信デバイスの処理能力が向上し、通信技術の発展により増大した通信データ量に対して、1 つの L S I で複数の S D H 信号を取り込んで処理を行うことが可能となった。例えば、L S I 化された通信デバイスに、6 2 2 M ビット毎秒 (b p s) の S T S (Synchronous Transport Signal : 同期転送信号) - 1 2 信号を 5 0 チャンネル分以上も処理することが行われるようになっている。しかしながら、このような複数チャンネルの S D H 信号を取り扱う場合には、上述したようにフレーム同期検出回路も当然複数チャンネル分必要とするため、その低消費電力化が必要となる。

【 0 0 1 6 】

このような低消費電力化を図るフレーム同期検出回路としては、例えば特開昭 6 3 - 1 1 0 8 4 0 号公報「同期検出回路」に開示されているように、受信したシリアルデータをパラレルデータに変換した後、フレーム同期を検出させるようにすることで、パラレルデータ本数分の 1 の周波数で動作させることができ、その分消費電力を低減させる。

【 0 0 1 7 】

また、フレーム同期検出後、次のフレーム同期パタンの検出タイミングを正確に予測できることから、次のフレーム同期パターン検出タイミングまでフレーム同期検出回路のクロック信号を停止させて消費電力の低減を図るフレーム同期検出回路がある。

【 0 0 1 8 】

【発明が解決しようとする課題】

しかしながら従来のフレーム同期検出回路では、回路自体におけるある程度の消費電力の低減化を図ることができるが、フレーム同期パターンを探している間であるハンチング状態において、常に回路が動作してしまい、その状態において消費電力が大きいという問題がある。

【0019】

一般的に、通常の使用状態にある限りハンチング状態にある期間は短く、すぐに同期状態に移行するため、ハンチング状態における消費電力が回路全体の消費電力に占める割合としてはさほど問題とはならないが、回路断等の障害発生時におけるハンチング状態が長く継続した場合には、複数チャネルでも障害発生によるハンチング状態となる場合がある。その場合、ハンチング状態における消費電力が増大し、LSIチップの熱問題で信頼性が著しく劣化してしまう。したがって、全チャネルでハンチング状態が継続した場合であっても、熱問題により信頼性が劣化しないように、低消費電力化を図る必要がある。

【0020】

そこで本発明の目的は、ハンチング状態において消費電力の増加を抑えるフレーム同期検出回路を提供することにある。

【0021】

【課題を解決するための手段】

請求項1記載の発明では、(イ) 所定のタイミングでフレーム化された受信データからあらかじめ決められたフレーム同期パターンを検出するフレーム同期パターン検出手段と、(ロ) このフレーム同期パターン検出手段の検出結果に基づいてフレーム同期パターンを探している状態としてのハンチング状態であるか否かを判定するハンチング状態判定手段と、(ハ) このハンチング状態判定手段によってハンチング状態にあると判定されたとき受信データのフレームの先頭を示すフレームパルスの前後の所定の時間だけタイミングを停止させるタイミング停止手段とをフレーム同期検出回路に具備させる。

【0022】

すなわち請求項1記載の発明では、フレーム同期パターンの検出結果に基づいてフレーム同期パターンを探している状態としてのハンチング状態であるか否かを判定し、ハンチング状態にあると判定されたとき受信データのフレームの先頭を示すフレームパルスの前後の所定の時間だけタイミング停止手段によりタイミングを停止させる。

【0023】

請求項 2 記載の発明では、請求項 1 記載のフレーム同期検出回路で、ハンチング状態判定手段によってハンチング状態にあると判定されたときフレームパルスの前後の所定の時間を除いてフレーム同期パターン検出手段およびハンチング状態判定手段によるフレーム同期検出動作をリセットするリセット手段を備えることを特徴としている。

【 0 0 2 4 】

すなわち請求項 2 記載の発明では、さらにハンチング状態にあると判定されたときフレームパルスの前後の所定の時間を除いてフレーム同期動作をリセットするようにしている。

【 0 0 2 5 】

請求項 3 記載の発明では、請求項 2 記載のフレーム同期検出回路で、タイミング停止手段による停止タイミングとリセット手段によるリセットを行うタイミングとが異なることを特徴としている。

【 0 0 2 6 】

すなわち請求項 3 記載の発明では、フレームパルスの前後の所定の時間を基準に互いに異なるタイミングでタイミング停止およびリセットを行うようにしている。

【 0 0 2 7 】

請求項 4 記載の発明では、（イ）フレーム化された受信データからあらかじめ決められたフレーム同期パターンを検出するフレーム同期パターン検出手段と、（ロ）このフレーム同期パターン検出手段の検出結果に基づいてフレーム同期パターンを探している状態としてのハンチング状態であるか否かを判定するハンチング状態判定手段と、（ハ）このハンチング状態判定手段によってハンチング状態にあると判定されたとき受信データのフレームの先頭を示すフレームパルスの前後の所定の時間だけ受信データを固定化する受信データ固定化手段とをフレーム同期検出回路に具備させる。

【 0 0 2 8 】

すなわち請求項 4 記載の発明では、フレーム同期パターンの検出結果に基づいてフレーム同期パターンを探している状態としてのハンチング状態であるか否かを判

定し、ハンチング状態にあると判定されたとき受信データのフレームの先頭を示すフレームパルスの前後の所定の時間だけ受信データ固定化手段により受信データを固定化する。

【 0 0 2 9 】

請求項 5 記載の発明では、（イ）フレーム化された受信データからあらかじめ決められたフレーム同期パターンを検出するフレーム同期パターン検出手段と、（ロ）このフレーム同期パターン検出手段の検出結果に基づいてフレーム同期パターンを探している状態としてのハンチング状態であるか否かを判定するハンチング状態判定手段と、（ハ）このハンチング状態判定手段によってハンチング状態にあると判定されたときフレームパルスの前後の所定の時間を除いてフレーム同期パターン検出手段およびハンチング状態判定手段によるフレーム同期検出動作をリセットするリセット手段とをフレーム同期検出回路に具備させる。

【 0 0 3 0 】

すなわち請求項 5 記載の発明では、フレーム同期パタンの検出結果に基づいてフレーム同期パターンを探している状態としてのハンチング状態であるか否かを判定し、ハンチング状態にあると判定されたとき受信データのフレームの先頭を示すフレームパルスの前後の所定の時間だけリセット手段によりフレーム同期検出動作をリセットさせる。

【 0 0 3 1 】

請求項 6 記載の発明では、（イ）フレーム化された受信データからあらかじめ決められたフレーム同期パターンを検出するフレーム同期パターン検出手段と、（ロ）このフレーム同期パターン検出手段の検出結果に基づいてフレーム同期パターンを探している状態としてのハンチング状態であるか否かを判定するハンチング状態判定手段と、（ハ）このハンチング状態判定手段によってハンチング状態にあると判定されたときフレームパルスの前後の所定の時間だけ前段に接続された回路を停止させる回路停止制御手段とをフレーム同期検出回路に具備させる。

【 0 0 3 2 】

すなわち請求項 6 記載の発明では、フレーム同期パタンの検出結果に基づいてフレーム同期パターンを探している状態としてのハンチング状態であるか否かを判

定し、ハンチング状態にあると判定されたとき受信データのフレームの先頭を示すフレームパルスの前後の所定の時間だけ回路停止制御手段により前段に接続された回路を停止させる。

【 0 0 3 3 】

請求項 7 記載の発明では、請求項 6 記載の発明で、前記回路停止制御手段は前記回路の停止を解除するときフレーム同期検出動作のタイミングの停止を解除してから前記前段に接続された回路の停止を解除することを特徴としている。

【 0 0 3 4 】

すなわち請求項 7 記載の発明では、回路停止制御手段による回路停止解除する順番として、フレーム同期検出動作のタイミングの停止を解除してから前段に接続された回路の停止を解除するようにしたので、立ち上げ直後に鈍るタイミング信号を除去し、安定動作を実現することができる。

【 0 0 3 5 】

請求項 8 記載の発明では、（イ）所定のタイミングでフレーム化された受信データからあらかじめ決められたフレーム同期パターンを検出するフレーム同期パターン検出手段と、（ロ）このフレーム同期パターン検出手段の検出結果に基づいてフレーム同期パターンを探している状態としてのハンチング状態であるか否かを判定するハンチング状態判定手段と、（ハ）このハンチング状態判定手段によってハンチング状態にあると判定されたとき受信データのフレームの先頭を示すフレームパルスの前後の所定の時間だけ少なくとも回路内の一部を停止させる回路停止手段とをフレーム同期検出回路に具備させる。

【 0 0 3 6 】

すなわち請求項 8 記載の発明では、フレーム同期パターンの検出結果に基づいてフレーム同期パターンを探している状態としてのハンチング状態であるか否かを判定し、ハンチング状態にあると判定されたとき受信データのフレームの先頭を示すフレームパルスの前後の所定の時間だけ回路停止手段により、少なくとも回路内の一部を停止させる。

【 0 0 3 7 】

【発明の実施の形態】

【 0 0 3 8 】

【実施例】

以下実施例につき本発明を詳細に説明する。

【 0 0 3 9 】

第 1 の実施例

【 0 0 4 0 】

図 1 は、本発明の第 1 の実施例におけるフレーム同期検出回路の構成の概要を表わしたものである。第 1 の実施例におけるフレーム同期検出回路は、受信データ 4 0 からあらかじめ決められたフレーム同期パターンを検出するフレーム同期パターン検出回路 4 1 と、フレーム同期パターン検出回路 4 1 によるフレーム同期パタンの検出をトリガにしてこれ以降あらかじめ決められたフレーム期間をカウントする受信側フレームカウンタ 4 2 と、受信フレームカウンタ 4 2 によってカウントされたフレームタイミングに同期してフレーム同期パターン検出回路 4 1 におけるフレーム同期検出にしたがう所定の状態遷移判定を行う状態遷移判定回路 4 3 とを備えている。

【 0 0 4 1 】

フレーム同期パターン検出回路 4 1 には、同期検出クロック 4 4 が入力されており、この同期検出クロック 4 4 に同期して受信データ 4 0 からあらかじめ決められたフレーム同期パターンを検出する。同期検出クロック 4 4 は、第 1 のゲート 4 5 により、受信データに含まれるクロック信号成分として抽出された受信クロック 4 6 と第 2 のゲート 4 7 の出力信号 4 8 との間で論理積演算されたものである。

【 0 0 4 2 】

受信側フレームカウンタ 4 2 は、受信クロック 4 6 に同期して、フレーム同期パターン検出回路 4 1 によって一旦検出されたフレーム同期パターンをトリガにして、これ以降あらかじめ決められたフレーム期間を周期的にカウントして、フレーム同期パターン検出回路 4 1 および状態遷移判定回路 4 3 に対して出力するフレームタイミングを生成する。

【 0 0 4 3 】

状態遷移判定回路 4 3 は、同期クロック 4 4 に同期してフレーム同期パタン検出回路 4 1 によって検出されるフレーム同期検出状態に応じてあらかじめ決められた状態遷移図にしたがって状態遷移を行うとともに、所定のハンチング状態に遷移したときにハンチング状態信号 4 9 を第 2 のゲート 4 7 に対して出力する。また、状態遷移に伴う各状態の状態信号は適宜フレーム同期パタン検出回路 4 1 あるいは受信側フレームカウンタ 4 2 に供給される。

【 0 0 4 4 】

これらフレーム同期パタン検出回路 4 1、受信側フレームカウンタ 4 2 および状態遷移判定回路 4 3 にはリセット 5 0 が入力され、このリセット 5 0 により初期化される。

【 0 0 4 5 】

また、第 1 の実施例におけるフレーム同期検出回路は、装置内位相フレームカウンタ 5 1 を備え、受信フレームイネーブル信号 5 2 を出力するようになっている。装置内位相フレームカウンタ 5 1 には、装置内で生成され装置内信号の動作基準となる装置内クロック 5 3 と装置内で伝送されるフレーム信号の先頭を示す装置内 F P 5 4 とが入力され、装置内クロック 5 3 に同期して装置内 F P 5 4 がほぼ中心となるようなタイミングで “ $2\delta + \alpha$ ” ナノ秒（[n s e c]）のパルス幅の受信フレームイネーブル信号 5 2 を生成する。ここで、“ δ ” は、装置系の遅延変動量を考慮して決められた値であって、例えばフレーム同期検出回路の動作に要する時間と後段に接続される位相調整用の F I F O 回路の遅延変動量吸収範囲時間とのうちいずれか大きい方の値とする。また、“ α ” は、マージンであって、回路精度やデバイスの遅延変動を考慮して決められる。

【 0 0 4 6 】

第 2 のゲート 4 7 は、この受信フレームイネーブル信号 5 2 と、状態遷移判定回路 4 3 から出力されるハンチング状態信号 4 9 の否定論理との間で論理和演算された出力信号 4 8 を生成する。すなわち、ハンチング状態信号 4 9 にかかわらず、受信フレームイネーブル信号 5 2 がイネーブル状態である “ $2\delta + \alpha$ ” [n s e c] の期間では、第 2 のゲート 4 7 が出力する出力信号 4 8 は論理レベル “H” で第 1 のゲート 4 5 に対して供給されるため、フレーム同期パタン検出回路

4 1 および状態遷移判定回路 4 3 には受信クロック 4 6 がそのまま供給される。また、ハンチング状態信号 4 9 によりハンチング状態ではなく、受信フレームイネーブル信号 5 2 がディスイネーブル状態の区間でも、第 2 のゲート 4 7 が出力する出力信号 4 8 は論理レベル “H” で第 1 のゲート 4 5 に対して供給されるため、フレーム同期パターン検出回路 4 1 および状態遷移判定回路 4 3 には受信クロック 4 6 がそのまま供給される。一方、ハンチング状態信号 4 9 によりハンチング状態であって、受信フレームイネーブル信号 5 2 がディスイネーブル状態の区間では、第 2 のゲート 4 7 が出力する出力信号 4 8 は論理レベル “L” で第 1 のゲート 4 5 に対して供給されるため、フレーム同期パターン検出回路 4 1 および状態遷移判定回路 4 3 には受信クロック 4 6 が供給されず、フレーム同期検出回路は停止状態となる。この受信フレームイネーブル信号 5 2 の状態に応じてフレーム同期検出回路を停止状態とした場合であっても、図 1 5 で説明したように各 I F 盤のポインタ付替部において、装置内 F P を基準にある程度の位相調整が行われているので、フレーム同期検出動作に支障はない。

【 0 0 4 7 】

以下、このような第 1 の実施例におけるフレーム同期検出回路の要部について説明する。

【 0 0 4 8 】

図 2 は、図 1 に示したフレーム同期パターン検出回路 4 1 の構成要部を表わしたものである。第 1 の実施例におけるフレーム同期パターン検出回路 4 1 は、シフトレジスタ部 6 0 と、パターン比較部 6 1 とを備えている。シフトレジスタ部 6 0 は、シリアルデータとして入力される受信データ 4 0 を同期クロック 4 4 に同期して 1 ビットずつシフトして、各ビットデータをパターン比較部 6 1 に対して出力する。またシフトレジスタ部 6 0 は、リセット 5 0 により内部の保持データが初期化される。パターン比較部 6 1 は、あらかじめ決められたフレーム同期パターンを保持しており、この保持しているフレーム同期パターンと、同期クロック 4 4 に同期してシフトレジスタ部 6 0 でシフトされたパラレルデータとを 1 ビットずつ比較する。このパターン比較部 6 1 は、受信側フレームカウンタ 4 2 によって生成されたフレームタイミング 6 2 ごとに、シフトレジスタ部 6 0 から供給されるパラレ

ルデータと所定のフレーム同期パターンとを比較する。この比較結果は、それぞれ同期パターン検出信号 6 3、6 4 として、状態遷移判定回路 4 3 および受信側フレームカウンタ 4 2 に対して出力される。

【 0 0 4 9 】

受信側フレームカウンタ 4 2 は、初期状態でフレーム同期パターン検出回路 4 1 に対して同期パターン検出タイミングを出力しており、フレーム同期パターン検出回路 4 1 から出力される同期パターン検出信号により同期パターンが一旦検出されると、それ以降受信クロック 4 6 に同期してあらかじめ決められたフレーム期間をカウントし、そのフレーム期間ごとにフレームタイミング 6 2 をフレーム同期パターン検出回路 4 1 および状態遷移判定回路 4 3 に対して出力するようになっている。

【 0 0 5 0 】

図 3 は、図 1 に示した状態遷移判定回路 4 3 で状態判定を行うための状態遷移図の概要を表わしたものである。この状態遷移図では、リセット状態 7 0 と、ハンチング状態 7 1 と、後方保護状態 7 2 と、前方保護状態 7 3 とを有し、同期クロック 4 4 に同期して、フレームタイミングで特定されるタイミングで、フレーム同期パターン検出回路 4 1 によって検出される同期パターン検出信号およびリセット 5 0 に応じて、各状態間の遷移を行う。フレーム同期パターンを探しているハンチング状態に対して、後方保護状態 7 2 および前方保護状態 7 3 はフレーム同期パターンを既に検出している同期状態 7 4 である。

【 0 0 5 1 】

リセット状態 7 0 では、リセット 5 0 が入力されるとリセット状態のままで（遷移 7 5）、リセット 5 0 が解除されると、同期クロック 4 4 に同期してフレームタイミングで特定されるタイミングで、ハンチング状態 7 1 に遷移する（遷移 7 6）。

【 0 0 5 2 】

ハンチング状態 7 1 では、リセット 5 0 が入力されるとリセット状態 7 0 に遷移する（遷移 7 7）が、フレーム同期パターン検出回路 4 1 からの同期パターン検出信号 6 3 により同期パターンが検出されると、後方保護状態 7 2 に遷移する（遷移

7 8)。

【 0 0 5 3 】

後方保護状態 7 2 では、リセット 5 0 が入力されるとリセット状態 7 0 に遷移する（遷移 7 9）が、フレーム同期パタン検出回路 4 1 からの同期パタン検出信号 6 3 により同期パタンの一致検出が所定の $(n - 1)$ 回以下連続したときは遷移せず（遷移 8 0）、同期パタンの一致検出が連続して n 回になると、前方保護状態 7 3 に遷移する（遷移 8 1）。後方保護状態 7 2 で、フレーム同期パタン検出回路 4 1 からの同期パタン検出信号 6 3 により同期パタンの不一致が検出されたときには、再びハンチング状態 7 1 に遷移する（遷移 8 2）。

【 0 0 5 4 】

前方保護状態 7 3 では、リセット 5 0 が入力されるとリセット状態 7 0 に遷移する（遷移 8 3）が、フレーム同期パタン検出回路 4 1 からの同期パタン検出信号 6 3 により同期パタンの一致検出あるいは同期パタンの不一致検出が所定の $(m - 1)$ 回以下連続したときは遷移しない（遷移 8 4、8 5）。しかし、同期パタンの不一致検出が連続して m 回になると、ハンチング状態 7 1 に遷移する（遷移 8 6）。

【 0 0 5 5 】

このような状態遷移を判定する状態遷移判定回路 4 3 は、ハンチング状態 7 1 に遷移している状態においてハンチング状態信号 4 9 を出力する。

【 0 0 5 6 】

図 4 は、図 1 に示した装置内位相フレームカウンタ 5 1 の構成要部を表わしたものである。第 1 の実施例における装置内位相フレームカウンタ 5 1 は、第 1 および第 2 のカウンタ 9 0、9 1 と、受信フレームイネーブル生成回路 9 2 とを備えている。第 1 のカウンタ 9 0 は、装置内クロック 5 3 に同期して、装置内 F P 5 4 の立ち上がりあるいは立ち下がりエッジから $“\delta + \alpha_1”$ [n s e c] だけカウントする。第 2 のカウンタ 9 1 は、装置内クロック 5 3 に同期して、装置内 F P 5 4 の立ち上がりあるいは立ち下がりエッジから $“\tau - (\delta + \alpha_2)”$ [n s e c] だけカウントする。ここで、“ τ ” は 1 フレーム時間であり、“ α_1 ” および “ α_2 ” はその和が “ α ” である。

【 0 0 5 7 】

受信フレームイネーブル生成回路 9 2 は、第 1 のカウンタ 9 0 によってカウントされた装置内 F P 5 4 の立ち上がりあるいは立ち下がりエッジから “ $\delta + \alpha_1$ ” [n s e c] 経過後、受信フレームイネーブル信号 5 2 の論理レベルを “L” にし、第 2 のカウンタ 9 1 によってカウントされた装置内 F P 5 4 の立ち上がりあるいは立ち下がりエッジから “ $\delta + \alpha_2$ ” [n s e c] 経過後、受信フレームイネーブル信号 5 2 の論理レベルを “H” にする。

【 0 0 5 8 】

次に、このような構成のフレーム同期検出回路の動作タイミングについて説明する。

【 0 0 5 9 】

図 5 は、第 1 の実施例におけるフレーム同期検出回路で、ハンチング状態における動作タイミングを表わしたものである。同図 (a - 1) は、受信クロック 4 6 の動作タイミングを示す。同図 (a - 2) は、受信フレームイネーブル信号 5 2 の動作タイミングを示す。同図 (a - 3) は、第 1 のゲート出力信号である同期クロック 4 4 の動作タイミングを示す。同図 (a - 4) は、装置内クロック 5 3 の動作タイミングを示す。同図 (a - 5) は、装置内 F P 5 4 の動作タイミングを示す。同図 (a - 6) は、ハンチング状態信号 4 9 の動作タイミングを示す。

【 0 0 6 0 】

同図 (b - 1) は、期間 1 0 0 における受信クロック 4 6 の動作タイミングの拡大図を示す。同図 (b - 2) は、期間 1 0 0 における受信フレームイネーブル信号 5 2 の動作タイミングの拡大図を示す。同図 (b - 3) は、期間 1 0 0 における第 2 のゲート 4 7 の出力信号 4 8 の動作タイミングの拡大図を示す。同図 (b - 4) は、期間 1 0 0 における第 1 のゲート 4 5 の出力信号 4 4 の動作タイミングの拡大図を示す。同図 (b - 5) は、期間 1 0 0 における装置内クロック 5 3 の動作タイミングの拡大図を示す。同図 (b - 6) は、期間 1 0 0 における装置内 F P 5 4 の動作タイミングの拡大図を示す。

【 0 0 6 1 】

すなわち同図（a-1）に示すように受信クロック46が入力され、同図（a-4）および同図（a-5）に示すタイミングで装置内クロック53および装置内FP54が生成されているとき、装置内位相フレームカウンタ51は同図（a-2）に示すように装置内FP54をほぼ中心とした“ $2\delta + \alpha$ ” [nsec] のパルス幅の受信フレームイネーブル信号52を生成する。同図（a-6）に示す期間100では、ハンチング状態信号49によりハンチング状態にあることから、第2のゲート47の出力信号48は同図（b-3）に示すタイミングで出力される。したがって、この出力信号48の論理レベルが“H”の期間のみ、同図（a-3）および同図（b-4）に示すように第1のゲート45の出力信号である同期クロック44がフレーム同期パターン検出回路41および状態遷移判定回路43に供給される。これにより、フレーム同期検出回路は、ハンチング状態にあるとき、受信フレームイネーブル信号52の論理レベルが“H”のときのみ動作することになる。

【0062】

図6は、第1の実施例におけるフレーム同期検出回路で、ハンチング状態から同期状態に移行するときの動作タイミングを表わしたものである。同図（a-1）は、受信クロック46の動作タイミングを示す。同図（a-2）は、受信フレームイネーブル信号52の動作タイミングを示す。同図（a-3）は、第1のゲート出力信号である同期クロック44の動作タイミングを示す。同図（a-4）は、装置内クロック53の動作タイミングを示す。同図（a-5）は、装置内FP54の動作タイミングを示す。同図（a-6）は、ハンチング状態信号49の動作タイミングを示す。

【0063】

同図（b-1）は、期間101における受信クロック46の動作タイミングの拡大図を示す。同図（b-2）は、期間101における受信フレームイネーブル信号52の動作タイミングの拡大図を示す。同図（b-3）は、期間101におけるハンチング状態信号49の動作タイミングの拡大図を示す。同図（b-4）は、期間101における第2のゲート47の出力信号48の動作タイミングの拡大図を示す。同図（b-5）は、期間101における第1のゲート45の出力信

号44の動作タイミングの拡大図を示す。同図(b-6)は、期間101における装置内クロック53の動作タイミングの拡大図を示す。同図(b-7)は、期間101における装置内FP54の動作タイミングの拡大図を示す。

【0064】

すなわち同図(a-1)に示すように受信クロック46が入力され、同図(a-4)および同図(a-5)に示すタイミングで装置内クロック53および装置内FP54が生成されているとき、装置内位相フレームカウンタ51は同図(a-2)に示すように装置内FP54をほぼ中心とした“ $2\delta + \alpha$ ”[nsec]のパルス幅の受信フレームイネーブル信号52を生成する。同図(a-6)および同図(b-3)に示す期間101では、ハンチング状態信号49によりハンチング状態から同期状態に移行することから、第2のゲート47の出力信号48は同図(b-4)に示すタイミングで出力される。したがって、この出力信号48の論理レベルが“H”の期間で、同図(a-3)および同図(b-5)に示すように第1のゲート45の出力信号である同期クロック44がフレーム同期パターン検出回路41および状態遷移判定回路43に供給される。これにより、フレーム同期検出回路は、ハンチング状態にあるときは受信フレームイネーブル信号52が論理レベル“H”のときのみ動作し、同期状態にあるときは常に動作することになる。

【0065】

図7は、第1の実施例におけるフレーム同期検出回路で、同期状態からハンチング状態に移行するときの動作タイミングを表わしたものである。同図(a-1)は、受信クロック46の動作タイミングを示す。同図(a-2)は、受信フレームイネーブル信号52の動作タイミングを示す。同図(a-3)は、第1のゲート出力信号である同期クロック44の動作タイミングを示す。同図(a-4)は、装置内クロック53の動作タイミングを示す。同図(a-5)は、装置内FP54の動作タイミングを示す。同図(a-6)は、ハンチング状態信号49の動作タイミングを示す。

【0066】

同図(b-1)は、期間102における受信クロック46の動作タイミングの

拡大図を示す。同図（b-2）は、期間102における受信フレームイネーブル信号52の動作タイミングの拡大図を示す。同図（b-3）は、期間102におけるハンチング状態信号49の動作タイミングの拡大図を示す。同図（b-4）は、期間102における第2のゲート47の出力信号48の動作タイミングの拡大図を示す。同図（b-5）は、期間102における第1のゲート45の出力信号44の動作タイミングの拡大図を示す。同図（b-6）は、期間102における装置内クロック53の動作タイミングの拡大図を示す。同図（b-7）は、期間102における装置内FP54の動作タイミングの拡大図を示す。

【0067】

すなわち同図（a-1）に示すように受信クロック46が入力され、同図（a-4）および同図（a-5）に示すタイミングで装置内クロック53および装置内FP54が生成されているとき、装置内位相フレームカウンタ51は同図（a-2）に示すように装置内FP54をほぼ中心とした“ $2\delta + \alpha$ ” [nsec]のパルス幅の受信フレームイネーブル信号52を生成する。同図（a-6）および同図（b-3）に示す期間102では、ハンチング状態信号49により同期状態からハンチング状態に移行することから、第2のゲート47の出力信号48は同図（b-4）に示すタイミングで出力される。したがって、この出力信号48の論理レベルが“H”の期間で、同図（a-3）および同図（b-5）に示すように第1のゲート45の出力信号である同期クロック44がフレーム同期パタン検出回路41および状態遷移判定回路43に供給される。これにより、フレーム同期検出回路は、同期状態にあるときは常に動作し、ハンチング状態にあるときは受信フレームイネーブル信号52が論理レベル“H”のときのみ動作することになる。

【0068】

このように第1の実施例におけるフレーム同期検出回路では、装置内位相フレームカウンタ51を設け、装置内FP54を中心に“ $2\delta + \alpha$ ” [nsec]のパルス幅の受信フレームイネーブル信号52を生成するようにした。そして、状態遷移判定回路43によりフレーム同期パタンが見つからずに探している状態であるハンチング状態のときには、この受信フレームイネーブル信号52によって

イネーブル状態にあるときのみ同期クロックをフレーム同期パタン検出回路 4 1 および状態遷移判定回路 4 3 に供給するようにした。これにより、ハンチング状態においてフレーム同期検出回路の動作区間を " $2\delta + \alpha$ " [nsec] にのみ限定させることができるので、1 フレーム周期を " τ " [nsec] としたときのフレーム同期検出回路の動作割合は " $(2\delta + \alpha) / \tau$ " とすることができる。特に相補型金属酸化膜半導体 (Complementary Metal-Oxide Semiconductor: 以下、CMOS と略す。) プロセスにより製造された LSI では、消費電力が動作周波数に比例するため、ハンチング状態における消費電力を " $(2\delta + \alpha) / \tau$ " とすることが可能となる。例えば、SDH システムにおいて 1 フレーム周期が 125 マイクロ秒 (μs) で、" δ " を "150 [nsec]" (プリント基板の配線長に換算すると、約 20 メートル (m) 分の位相差吸収に相当する。)、マージン " α " を "200 [nsec]" とすると、次のようになる。

【0069】

$$2\delta + \alpha = 2 \times 150 + 200 \text{ [nsec]} = 500 \text{ [nsec]} = 0.5 \text{ } [\mu s] \quad \dots (1)$$

$$0.5 \text{ } [\mu s] / 125 \text{ } [\mu s] = 0.004 = 0.4\% \quad \dots (2)$$

【0070】

すなわち、ハンチング状態における消費電力を 0.4% に抑え、大幅に消費電力を低減させることができる。フレーム同期検出回路の実動作においても、発明者のシミュレーション結果によれば、0.25 μm プロセスのスタンダードセルで製造したチップの消費電力を、5% ハント時において従来の約 750 ミリワットから約 256 ミリワットに低減することができる。

【0071】

第 2 の実施例

【0072】

第 1 の実施例におけるフレーム同期検出回路では、第 2 のゲート 4 7 において、状態遷移判定回路 4 3 からのハンチング状態信号 4 9 から装置内位相フレームカウンタ 5 1 で生成した受信フレームイネーブル信号 5 2 により生成した出力信

号48を用いて、第1のゲート45で受信クロック46をマスクすることによって、ハンチング状態で受信フレームイネーブル信号52のディスイネーブル状態の区間の同期クロック44の供給を停止させるようにしていたが、これに限定されるものではない。第2の実施例におけるフレーム同期検出回路では、受信クロック46のみならず、ハンチング状態でリセット50についてもマスクすることで、さらに消費電力の低減を図るようにしている。

【0073】

図8は、第2の実施例におけるフレーム同期検出回路の構成の概要を表わしたものである。ただし、図1に示す第1の実施例におけるフレーム同期検出回路と同一部分には同一符号を付し、適宜説明を省略する。第2の実施例におけるフレーム同期検出回路は、第1の実施例におけるフレーム同期検出回路と同様に、フレーム同期パン検出回路41と、受信側フレームカウンタ42と、状態遷移判定回路43と、装置内位相フレームカウンタ51とを備えている。

【0074】

ただ、第2の実施例におけるフレーム同期検出回路は、第3のゲート110を備え、第2のゲート47の出力信号48とリセット50とからマスキリセット111を生成し、フレーム同期パタン検出回路41および状態遷移判定回路43に供給される点で、第1の実施例におけるフレーム同期検出回路と異なる。第3のゲート110は、第2のゲート47の出力信号48の否定論理とリセット50との間の論理和演算されたマスキリセット111を生成する。これにより、通常のリセット50がイネーブル状態のときのみならず、ハンチング状態で装置内位相フレームカウンタ51によって生成される受信フレームイネーブル信号52がディスイネーブル状態のときにはマスキリセット50がイネーブル状態となる。

【0075】

フレーム同期検出回路では、ハンチング状態で受信フレームイネーブル信号52がディスイネーブル状態の期間では、状態遷移判定回路43における状態遷移を保持するレジスタがノイズ等の何らかの原因により誤動作し、内部において状態の遷移が発生するといった、想定外の事態が起こる可能性がある。特に、第1の実施例におけるフレーム同期検出回路ではハンチング状態における消費電力を

低減するためクロック供給自体を停止させているため、異常遷移のチェック回路も停止し、フレーム同期検出回路全体が入力信号の如何にかかわらず所定の状態から遷移しないデッドロック状態に陥ることもある。そこで、第2の実施例におけるフレーム同期検出回路では、このようなハンチング状態で受信フレームイネーブル信号52がディスイネーブル状態の期間に、上述した第3のゲート110によって生成されたマスキリセット111によりフレーム同期パターン検出回路41および状態遷移判定回路43を強制的に初期化するようにしている。

【0076】

このように第2の実施例におけるフレーム同期検出回路では、第1の実施例におけるフレーム同期検出回路に対して第3のゲート110を設け、通常のリセット50がイネーブル状態の時のみならず、ハンチング状態で装置内位相フレームカウンタ51によって生成される受信フレームイネーブル信号52がディスイネーブル状態のとき、フレーム同期パターン検出回路41および状態遷移判定回路43を強制的に初期化するようにした。これにより、図3に示した状態遷移図から明らかなようにリセット解除後にはハンチング状態となるため、このようなマスキリセット111による強制的な初期化を行っても、回路動作に支障はなく、例えばクロック供給を停止した場合にノイズ等による誤動作に伴うデッドロックを回避して効果的にハンチング状態における消費電力を低減することができる。

【0077】

第3の実施例

【0078】

第2の実施例におけるフレーム同期検出回路では、ハンチング状態で受信側フレームイネーブル信号52によりディスイネーブル状態となったとき、フレーム同期パターン検出回路41および状態遷移判定回路43に対する同期クロック44の供給停止と、マスキリセット111による強制初期化とを同一タイミングで行うようにしていたが、これに限定されるものではない。第3の実施例におけるフレーム同期検出回路では、互いに異なるタイミングでフレーム同期パターン検出回路41および状態遷移判定回路43に対する同期クロック44の供給停止と、マスキリセット111による強制初期化とを行うようにしている。

【 0 0 7 9 】

図 9 は、第 3 の実施例におけるフレーム同期検出回路の構成の概要を表わしたものである。ただし、図 8 に示す第 2 の実施例におけるフレーム同期検出回路と同一部分には同一符号を付し、適宜説明を省略する。第 3 の実施例におけるフレーム同期検出回路は、第 2 の実施例におけるフレーム同期検出回路と同様に、フレーム同期パン検出回路 4 1 と、受信側フレームカウンタ 4 2 とを備えている。第 3 の実施例におけるフレーム同期検出回路では、装置内位相フレームカウンタ 1 2 0 において、ともに装置内クロック 5 3 に同期して装置内 F P 5 4 をほぼ中心となるようなタイミングでそれぞれ “ $2\delta + \alpha$ ” [nsec] と “ $2\delta + \alpha'$ ” [nsec] のパルス幅を有する第 1 および第 2 の受信フレームイネーブル信号 1 2 1、1 2 2 を生成する点が、第 2 の実施例におけるフレーム同期検出回路と異なる。ここで、“ α' ” は、“ α ” 同様に、マージンであって回路精度やデバイスの遅延変動を考慮して決められる。

【 0 0 8 0 】

さらに第 3 の実施例におけるフレーム同期検出回路は、第 4 のゲート 1 2 3 を備え、第 2 の受信フレームイネーブル信号 1 2 2 と、状態遷移判定回路 4 3 から出力されるハンチング状態信号 4 9 の否定論理との間で論理和演算された出力信号 1 2 4 を生成する。この出力信号 1 2 4 は、第 3 のゲート 1 1 0 に対して供給される。すなわち、ハンチング状態信号 4 9 にかかわらず、第 2 の受信フレームイネーブル信号 1 2 2 がイネーブル状態である “ $2\delta + \alpha'$ ” [nsec] の期間では、第 4 のゲート 1 2 3 が出力する出力信号 1 2 4 は論理レベル “H” で第 3 のゲート 1 1 0 に対して供給されるため、リセット 5 0 の状態に応じてフレーム同期パタン検出回路 4 1 および状態遷移判定回路 4 3 が初期化される。また、ハンチング状態で第 2 の受信フレームイネーブル信号 1 2 2 がディスイネーブル状態のとき、第 3 のゲート 1 1 0 に対して論理レベル “L” が供給されるため、マスキリセット 1 1 1 によりフレーム同期パタン検出回路 4 1 および状態遷移判定回路 4 3 を強制的に初期化する。さらに、ハンチング状態ではなく、第 2 の受信フレームイネーブル信号 1 2 2 がディスイネーブル状態の区間でも、第 4 のゲート 1 2 3 が出力する出力信号 1 2 4 は論理レベル “H” で第 3 のゲート 1 1 0

に対して供給されるため、フレーム同期パターン検出回路 4 1 および状態遷移判定回路 4 3 にはリセット 5 0 がそのまま供給される。

【 0 0 8 1 】

また、第 2 のゲート 4 7 は、第 1 の受信フレームイネーブル信号 1 2 1 と、状態遷移判定回路 4 3 から出力されるハンチング状態信号 4 9 の否定論理との間で論理和演算された出力信号 4 8 を生成する。すなわち、ハンチング状態信号 4 9 にかかわらず、第 1 の受信フレームイネーブル信号 1 2 1 がイネーブル状態である “ $2\delta + \alpha$ ” [n s e c] の期間では、第 2 のゲート 4 7 が出力する出力信号 4 8 は論理レベル “H” で第 1 のゲート 4 5 に対して供給されるため、フレーム同期パターン検出回路 4 1 および状態遷移判定回路 4 3 には受信クロック 4 6 がそのまま供給される。また、ハンチング状態信号 4 9 によりハンチング状態ではなく、第 1 の受信フレームイネーブル信号 1 2 1 がディスイネーブル状態の区間でも、第 2 のゲート 4 7 が出力する出力信号 4 8 は論理レベル “H” で第 1 のゲート 4 5 に対して供給されるため、フレーム同期パターン検出回路 4 1 および状態遷移判定回路 4 3 には受信クロック 4 6 がそのまま供給される。一方、ハンチング状態信号 4 9 によりハンチング状態であって、第 1 の受信フレームイネーブル信号 1 2 1 がディスイネーブル状態の区間では、第 2 のゲート 4 7 が出力する出力信号 4 8 は論理レベル “L” で第 1 のゲート 4 5 に対して供給されるため、フレーム同期パターン検出回路 4 1 および状態遷移判定回路 4 3 には受信クロック 4 6 が供給されず、フレーム同期検出回路は停止状態となる。

【 0 0 8 2 】

図 1 0 は、第 3 の実施例におけるフレーム同期検出回路で、ハンチング状態におけるクロック停止期間内にリセット期間がある場合の動作タイミングを表わしたものである。同図 (a-1) は、受信クロック 4 6 の動作タイミングを示す。同図 (a-2) は、第 1 の受信フレームイネーブル信号 1 2 1 の動作タイミングを示す。同図 (a-3) は、第 1 のゲート出力信号である同期クロック 4 4 の動作タイミングを示す。同図 (a-4) は、装置内クロック 5 3 の動作タイミングを示す。同図 (a-5) は、装置内 F P 5 4 の動作タイミングを示す。

【 0 0 8 3 】

同図（b-1）は、期間130における受信クロック46の動作タイミングの拡大図を示す。同図（b-2）は、期間130における第1の受信フレームイネーブル信号121の動作タイミングの拡大図を示す。同図（b-3）は、期間130における第1のゲート出力信号である同期クロック44の動作タイミングの拡大図を示す。同図（b-4）は、期間130における第2の受信フレームイネーブル信号122の動作タイミングの拡大図を示す。同図（b-5）は、期間130における第3のゲート110から出力されたマスキリセット111の動作タイミングの拡大図を示す。同図（b-6）は、期間130における装置内クロック53の動作タイミングの拡大図を示す。同図（b-7）は、期間130における装置内FP54の動作タイミングの拡大図を示す。

【0084】

すなわち同図（a-1）に示すように受信クロック46が入力され、同図（a-4）および同図（a-5）に示すタイミングで装置内クロック53および装置内FP54が生成されているとき、装置内位相フレームカウンタ120は同図（b-2）および同図（b-4）に示すように装置内FP54をほぼ中心としてそれぞれ“ $2\delta + \alpha$ ” [nsec] および “ $2\delta + \alpha'$ ” [nsec] のパルス幅の第1および第2の受信フレームイネーブル信号121、122を生成する。したがって、ハンチング状態における期間130では、第1の受信フレームイネーブル信号121がイネーブル状態の区間に、同図（b-3）に示すように第1のゲート45の出力信号である同期クロック44が出力される。同様に、第2の受信フレームイネーブル信号122がディスイネーブル状態に、同図（b-5）に示すようにマスキリセット111が出力される。これにより、ハンチング状態において、第1の受信フレームイネーブル信号121がディスイネーブル状態の区間ではフレーム同期パターン検出回路41および状態遷移判定回路43にクロック供給がされず、第2の受信フレームイネーブル信号122がディスイネーブル状態の区間ではフレーム同期パターン検出回路41および状態遷移判定回路43が初期化されることになる。しかも、期間130においてフレーム同期パターン検出回路41および状態遷移判定回路43ではクロック供給されてからリセットが解除されるので、安定したフレーム同期検出動作を行うことができる。

【 0 0 8 5 】

図 1 1 は、第 3 の実施例におけるフレーム同期検出回路で、ハンチング状態におけるリセット期間内にクロック停止期間がある場合の動作タイミングを表わしたものである。同図 (a-1) は、受信クロック 4 6 の動作タイミングを示す。同図 (a-2) は、第 1 の受信フレームイネーブル信号 1 2 1 の動作タイミングを示す。同図 (a-3) は、第 1 のゲート出力信号である同期クロック 4 4 の動作タイミングを示す。同図 (a-4) は、装置内クロック 5 3 の動作タイミングを示す。同図 (a-5) は、装置内 F P 5 4 の動作タイミングを示す。

【 0 0 8 6 】

同図 (b-1) は、期間 1 3 1 における受信クロック 4 6 の動作タイミングの拡大図を示す。同図 (b-2) は、期間 1 3 1 における第 1 の受信フレームイネーブル信号 1 2 1 の動作タイミングの拡大図を示す。同図 (b-3) は、期間 1 3 1 における第 1 のゲート出力信号である同期クロック 4 4 の動作タイミングの拡大図を示す。同図 (b-4) は、期間 1 3 1 における第 2 の受信フレームイネーブル信号 1 2 2 の動作タイミングの拡大図を示す。同図 (b-5) は、期間 1 3 1 における第 3 のゲート 1 1 0 から出力されたマスキリセット 1 1 1 の動作タイミングの拡大図を示す。同図 (b-6) は、期間 1 3 1 における装置内クロック 5 3 の動作タイミングの拡大図を示す。同図 (b-7) は、期間 1 3 1 における装置内 F P 5 4 の動作タイミングの拡大図を示す。

【 0 0 8 7 】

すなわち図 1 0 と同様に、図 1 1 (a-1) に示すように受信クロック 4 6 が入力され、同図 (a-4) および同図 (a-5) に示すタイミングで装置内クロック 5 3 および装置内 F P 5 4 が生成されているとき、装置内位相フレームカウンタ 1 2 0 は同図 (b-2) および同図 (b-4) に示すように装置内 F P 5 4 をほぼ中心としてそれぞれ “ $2\delta + \alpha$ ” [nsec] および “ $2\delta + \alpha'$ ” [nsec] のパルス幅の第 1 および第 2 の受信フレームイネーブル信号 1 2 1、1 2 2 を生成する。したがって、ハンチング状態における期間 1 3 1 では、第 1 の受信フレームイネーブル信号 1 2 1 がイネーブル状態の区間に、同図 (b-3) に示すように第 1 のゲート 4 5 の出力信号である同期クロック 4 4 が出力される

。同様に、第2の受信フレームイネーブル信号122がディスイネーブル状態に、同図(b-5)に示すようにマスキリセット111が出力される。これにより、ハンチング状態において、第1の受信フレームイネーブル信号121がディスイネーブル状態の区間ではフレーム同期パターン検出回路41および状態遷移判定回路43にクロック供給がされず、第2の受信フレームイネーブル信号122がディスイネーブル状態の区間ではフレーム同期パターン検出回路41および状態遷移判定回路43が初期化されることになる。しかも、期間131においてフレーム同期パターン検出回路41および状態遷移判定回路43では初期化の解除後にクロックが供給されるので、フレーム同期検出動作開始からフレーム同期パターンを検出するまでのクロック数を削減することができる。

【0088】

この他に、クロック供給停止後に初期化し、クロック供給開始後に初期化を解除するようなタイミングの第1および第2の受信フレームイネーブル信号を生成するようにしても、上述したいずれかの効果を得ることができる。また、その逆に、クロック供給停止前に初期化し、クロック供給開始前に初期化を解除するようなタイミングの第1および第2の受信フレームイネーブル信号を生成するようにしてもよい。同時にクロック供給および初期化動作が制御される場合を含めて、9種類の組み合わせが想定されるが、どのような組み合わせをとっても同様である。

【0089】

このように第3の実施例におけるフレーム同期検出回路では、装置内位相フレームカウンタ120により互いに異なるタイミングの第1および第2の受信フレームイネーブル信号121、122を生成し、ハンチング状態においてそれぞれ異なるタイミングでフレーム同期パターン検出回路41および状態遷移判定回路43に対してクロック供給停止および初期化を制御するようにした。これにより、例えばクロック供給を開始してから初期化して安定したフレーム同期検出動作を行ったり、リセットを解除してからクロック供給を開始して迅速なフレーム同期検出を行ったり、適宜最適な動作が可能なフレーム同期検出回路を提供することができるようになる。

【0090】

第4の実施例

【0091】

第1～第3の実施例におけるフレーム同期検出回路では、装置内位相フレームカウンタを設け、装置内FP54を中心に約“ $2\delta + \alpha$ ” [nsec] のパルス幅の受信フレームイネーブル信号を生成し、これによって特定されるタイミングでクロック供給を停止したり、回路自体を強制的に初期化することによって、ハンチング状態における消費電力の低減を図るようにしていたが、これに限定されるものではない。第4の実施例におけるフレーム同期検出回路では、クロック供給は止めず、受信データ自体を固定化するようにしている。

【0092】

図12は、第4の実施例におけるフレーム同期検出回路の構成の概要を表わしたものである。ただし、図1に示す第1の実施例におけるフレーム同期検出回路と同一部分には同一符号を付し、適宜説明を省略する。第4の実施例におけるフレーム同期検出回路は、第1の実施例におけるフレーム同期検出回路と同様に、フレーム同期パターン検出回路41と、受信側フレームカウンタ42と、状態遷移判定回路43と、装置内位相フレームカウンタ51とを備えている。第4の実施例におけるフレーム同期検出回路が第1の実施例におけるフレーム同期検出回路と異なる点は、第5のゲート135を備え、第2のゲート47の出力信号48と受信データ40との間で論理積演算されたマスクデータ136が、受信データ40に代えてフレーム同期パターン検出回路41に入力されている点である。したがってフレーム同期パターン検出回路41および状態遷移判定回路43には、同期クロック44に代えて、受信クロック46がそのまま入力されている。

【0093】

これにより、ハンチング状態信号49にかかわらず、受信フレームイネーブル信号52がイネーブル状態である“ $2\delta + \alpha$ ” [nsec] の期間では、第2のゲート47が出力する出力信号48は論理レベル“H”で第5のゲート135に対して供給されるため、フレーム同期パターン検出回路41および状態遷移判定回路43には受信データ40がそのまま供給される。また、ハンチング状態信号4

9によりハンチング状態ではなく、受信フレームイネーブル信号52がディスイネーブル状態の区間でも、第2のゲート47が出力する出力信号48は論理レベル“H”で第3のゲート135に対して供給されるため、フレーム同期パターン検出回路41および状態遷移判定回路43には受信データ40がそのまま供給される。一方、ハンチング状態信号49によりハンチング状態であって、受信フレームイネーブル信号52がディスイネーブル状態の区間では、第2のゲート47が出力する出力信号48は論理レベル“L”で第3のゲート135に対して供給されるため、フレーム同期パターン検出回路41および状態遷移判定回路43には受信データ40が論理レベル“L”に固定されて供給される。

【0094】

このように第4の実施例におけるフレーム同期検出回路では、ハンチング状態のときには受信フレームイネーブル信号52によってイネーブル状態にあるときのみ同期データをフレーム同期パターン検出回路41および状態遷移判定回路43に供給し、ハンチング状態で受信フレームイネーブル信号52がディスイネーブル状態にあるときは受信データを固定値にするようにした。これにより、受信データが固定化された第4の実施例におけるフレーム同期検出回路の各組み合わせ回路の消費電力をほぼ“0”にすることができるが、フレーム同期パターン検出回路41におけるシフトレジスタや状態遷移判定回路43の状態レジスタ等のフリップフロップのクロックラインが常時動作するため、第1の実施例におけるフレーム同期検出回路に比べて消費電力の低減効果は小さい。しかしながら、クロックラインにより供給される受信クロック46を基準にタイミング検証を行うため、クロックラインにゲートが挿入されない点で回路設計工程やレイアウト検証工程におけるタイミング検証が簡素化し、検証工数を削減するとともに、検証精度を向上させることができるようになる。

【0095】

第5の実施例

【0096】

第4の実施例におけるフレーム同期検出回路では、クロック供給は止めず、受信データ自体を固定化するようにしていたが、これに限定されるものではない。

第 5 の実施例におけるフレーム同期検出回路では、クロック供給は止めず、回路全体をリセットして回路全体の動作を停止させるようにしている。

【 0 0 9 7 】

図 1 3 は、第 5 の実施例におけるフレーム同期検出回路の構成の概要を表わしたものである。ただし、図 1 2 に示す第 4 の実施例におけるフレーム同期検出回路と同一部分には同一符号を付し、適宜説明を省略する。第 5 の実施例におけるフレーム同期検出回路は、第 4 の実施例におけるフレーム同期検出回路と同様に、フレーム同期パターン検出回路 4 1 と、受信側フレームカウンタ 4 2 と、状態遷移判定回路 4 3 と、装置内位相フレームカウンタ 5 1 とを備えている。第 5 の実施例におけるフレーム同期検出回路が第 4 の実施例におけるフレーム同期検出回路と異なる点は、第 6 のゲート 1 4 0 を備え、第 2 のゲート 4 7 の出力信号 4 8 の否定論理とリセット 5 0 との間で論理和演算されたマスキリセット 1 4 1 が、リセット 5 0 に代えてフレーム同期パターン検出回路 4 1 および状態遷移判定回路 4 3 に入力されている点で異なる。

【 0 0 9 8 】

これにより、ハンチング状態信号 4 9 にかかわらず、受信フレームイネーブル信号 5 2 がイネーブル状態である“ $2\delta + \alpha$ ” [n s e c] の期間では、第 2 のゲート 4 7 が出力する出力信号 4 8 は論理レベル“H”で第 6 のゲート 1 4 0 に対して供給されるため、フレーム同期パターン検出回路 4 1 および状態遷移判定回路 4 3 はリセット 5 0 の状態に応じてリセットされる。また、ハンチング状態信号 4 9 によりハンチング状態ではなく、受信フレームイネーブル信号 5 2 がディスイネーブル状態の区間でも、第 2 のゲート 4 7 が出力する出力信号 4 8 は論理レベル“H”で第 6 のゲート 1 4 0 に対して供給されるため、フレーム同期パターン検出回路 4 1 および状態遷移判定回路 4 3 は、リセット 5 0 の状態に応じてリセットされる。一方、ハンチング状態信号 4 9 によりハンチング状態であって、受信フレームイネーブル信号 5 2 がディスイネーブル状態の区間では、第 2 のゲート 4 7 が出力する出力信号 4 8 は論理レベル“L”で第 6 のゲート 1 4 0 に対して供給されるため、フレーム同期パターン検出回路 4 1 および状態遷移判定回路 4 3 は強制的にマスキリセット 1 4 1 によりリセットされる。

【0099】

このように第5の実施例におけるフレーム同期検出回路では、ハンチング状態のときには受信フレームイネーブル信号52によってディスイネーブル状態にあるときは、フレーム同期パターン検出回路41および状態遷移判定回路43を強制定期にリセットする。これにより、第5の実施例におけるフレーム同期検出回路の各組み合わせ回路の消費電力をほぼ“0”にすることができるが、フレーム同期パターン検出回路41におけるシフトレジスタや状態遷移判定回路43の状態レジスタ等のフリップフロップのクロックラインが常時動作するため、第1の実施例におけるフレーム同期検出回路に比べて消費電力の低減効果は小さい。しかしながら、クロックラインにより供給される受信クロック46を基準にタイミング検証を行うため、クロックラインにゲートが挿入されない点で回路設計工程やレイアウト検証工程におけるタイミング検証が簡素化し、検証工数を削減するとともに、検証精度を向上させることができるようになる。

【0100】

第6の実施例

【0101】

第1～第5の実施例ではフレーム同期検出回路内で、動作制御を行って消費電力の低減を図るようにしていたが、これに限定されるものではない。第6の実施例では、フレーム同期検出回路の前段に接続されるビット同期回路の停止制御を行うことで消費電力の低減を図る。

【0102】

図14は、第6の実施例におけるフレーム同期検出回路が適用されたフレーム同期検出システムの構成の概要を表わしたものである。第6の実施例では、フレーム同期パターン検出回路41と受信側フレームカウンタ42と状態遷移判定回路43とからなるフレーム同期検出回路150と、第3の実施例と同様の装置内位相フレームカウンタ120とを備えている。第6の実施例では、フレーム同期検出回路150の前段にビット同期回路151が接続されている。このビット同期回路151は、上述したように受信データ152からデータ153およびクロック154を抽出する。また、ビット同期回路151は、イネーブル信号155が

入力されており、このイネーブル信号 1 5 5 の状態によって内部回路の動作停止制御が行われるようになっている。

【0 1 0 3】

ビット同期回路 1 5 1 で抽出されたデータ 1 5 3 は、フレーム同期検出回路 1 5 0 において受信データ 4 0 として入力される。ビット同期回路 1 5 1 で抽出されたクロック 1 5 4 は、フレーム同期検出回路 1 5 0 において受信側フレームカウンタに対する受信クロック 4 6 として入力されるとともに、第 7 のゲート 1 5 6 に対して入力される。第 7 のゲート 1 5 6 の出力信号 1 5 7 は、フレーム同期検出回路 1 5 0 においてフレーム同期パターン検出回路および状態遷移判定回路に対するクロック信号として入力される。

【0 1 0 4】

フレーム同期検出回路 1 5 0 は、上述したハンチング状態信号 4 9 を出力し、それぞれ第 2 のゲート 4 7 および第 4 のゲート 1 2 3 に供給される。第 2 のゲート 4 7 は、装置内位相フレームカウンタ 1 2 0 から出力された第 1 の受信フレームイネーブル信号 1 2 1 と、ハンチング状態信号 4 9 の否定論理との間で論理和演算したイネーブル信号 1 5 5 を出力する。第 4 のゲート 1 2 3 は、装置内位相フレームカウンタ 1 2 0 から出力された第 2 の受信フレームイネーブル信号 1 2 2 と、ハンチング状態信号 4 9 の否定論理との間で論理和演算した出力信号 1 5 8 を出力する。この出力信号 1 5 8 は、第 7 のゲート 1 5 6 に入力される。第 7 のゲート 1 5 6 は、クロック 1 5 4 と、出力信号 1 5 8 との間の論理積演算した出力信号 1 5 7 を生成する。

【0 1 0 5】

第 6 の実施例では、ハンチング状態で、各受信フレームイネーブル信号の状態に応じて、ビット同期回路の動作自体を停止させたり、フレーム同期検出回路 1 5 0 に供給されるクロック 1 5 4 をマスクすることによって、消費電力を低減している。特に、出力信号 1 5 8 によりクロック 1 5 4 のマスクを解除してからイネーブル信号 1 5 5 によりビット同期回路 1 5 1 の動作を開始させるようにすることで、立ち上げ直後に鈍るクロック信号を除去し、安定動作を実現することができる。

【 0 1 0 6 】

ここでは、フレーム同期検出回路 1 5 0 として、第 1 ～ 第 5 の実施例で説明したように回路内部でクロック供給停止、リセット制御や受信データの固定化を行うフレーム同期検出回路であってもよい。

【 0 1 0 7 】

なお、第 1 ～ 第 6 の実施例で説明した回路内部でクロック供給停止、リセット制御、受信データの固定化あるいは前段のビット同期回路 1 5 1 の停止制御を 2 つ以上組み合わせて構成するようにすれば、消費電力の低減効果を高めることができる。

【 0 1 0 8 】

またクロック供給停止やリセット制御範囲として、フレーム同期検出回路内部の一部分、例えば状態遷移判定回路のみといったように制限するようにしても、消費電力の低減を図ることができる。どのようにこれらを組み合わせ、あるいはどの部分に適用するかは、フレーム同期検出回路の適用分野に応じて適宜適切に選択されるべきものである。

【 0 1 0 9 】

【発明の効果】

以上説明したように請求項 1 記載の発明によれば、ハンチング状態においてフレーム同期検出回路の動作区間を " $2\delta + \alpha$ " [nsec] にのみ限定させることができるので、1 フレーム周期を " τ " [nsec] としたときのフレーム同期検出回路の動作割合は " $(2\delta + \alpha) / \tau$ " とすることができる。特に CMOS プロセスにより製造された LSI では、消費電力が動作周波数に比例するため、ハンチング状態における消費電力を " $(2\delta + \alpha) / \tau$ " とすることが可能となる。

【 0 1 1 0 】

また請求項 2 記載の発明によれば、回路動作に支障はなく、例えばクロック供給を停止した場合にノイズ等による誤動作に伴うデッドロックを回避して効果的にハンチング状態における消費電力を低減することができる。

【 0 1 1 1 】

さらに請求項 3 記載の発明によれば、例えばクロック供給を開始してから初期化して安定したフレーム同期検出動作を行ったり、リセットを解除してからクロック供給を開始して迅速なフレーム同期検出を行ったり、適宜最適な動作が可能なフレーム同期検出回路を提供することができるようになる。

【0 1 1 2】

さらにまた請求項 4 または請求項 5 記載の発明によれば、フレーム同期検出回路の各組み合わせ回路の消費電力をほぼ“0”にすることができるとともに、クロックラインにゲートが挿入されない点で回路設計工程やレイアウト検証工程におけるタイミング検証が簡素化し、検証工数を削減するとともに、検証精度を向上させることができるようになる。

【0 1 1 3】

さらにまた請求項 6 記載の発明によれば、前段に接続された回路動作を停止させることによって、フレーム同期検出回路の組み合わせ回路部の消費電力をほぼ“0”に低減することができる。

【0 1 1 4】

さらに請求項 7 記載の発明によれば、回路停止制御手段による回路停止解除する順番として、フレーム同期検出動作のタイミングの停止を解除してから前段に接続された回路の停止を解除するようにしたので、立ち上げ直後に鈍るタイミング信号を除去し、安定動作を実現することができる。

【0 1 1 5】

さらに請求項 8 記載の発明によれば、ハンチング状態におけるクロック動作に伴う消費電力を低減することができる。

【図面の簡単な説明】

【図 1】

第 1 の実施例におけるフレーム同期検出回路の構成の概要を示すブロック図である。

【図 2】

第 1 の実施例におけるフレーム同期パターン検出回路の構成要部を示すブロック図である。

【図 3】

第 1 の実施例における状態遷移判定回路で状態判定を行うための状態遷移図での概要を示す説明図である。

【図 4】

第 1 の実施例における装置内位相フレームカウンタの構成要部を示すブロック図である。

【図 5】

第 1 の実施例におけるフレーム同期検出回路のハンチング状態の動作タイミングを示すタイミング図である。

【図 6】

第 1 の実施例におけるフレーム同期検出回路でハンチング状態から同期状態に移行するときの動作タイミングを示すタイミング図である。

【図 7】

第 1 の実施例におけるフレーム同期検出回路で同期状態からハンチング状態に移行するときの動作タイミングを示すタイミング図である。

【図 8】

第 2 の実施例におけるフレーム同期検出回路の構成の概要を示すブロック図である。

【図 9】

第 3 の実施例におけるフレーム同期検出回路の構成の概要を示すブロック図である。

【図 1 0】

第 3 の実施例におけるフレーム同期検出回路でハンチング状態におけるクロック停止期間内にリセット期間がある場合の動作タイミングを示すタイミング図である。

【図 1 1】

第 3 の実施例におけるフレーム同期検出回路でハンチング状態におけるリセット期間内にクロック停止期間がある場合の動作タイミングを示すタイミング図である。

【図 1 2】

第 4 の実施例におけるフレーム同期検出回路の構成の概要を示すブロック図である。

【図 1 3】

第 5 の実施例におけるフレーム同期検出回路の構成の概要を示すブロック図である。

【図 1 4】

第 6 の実施例におけるフレーム同期検出回路が適用されたフレーム同期検出システムの構成の概要を示すブロック図である。

【図 1 5】

フレーム同期検出回路が適用された S D H 伝送装置の構成の概要を示す構成図である。

【図 1 6】

クロスコネクト部の構成要部を示すブロック図である。

【図 1 7】

S D H 伝送装置における S D H 伝送信号の動作タイミングを示すタイミング図である。

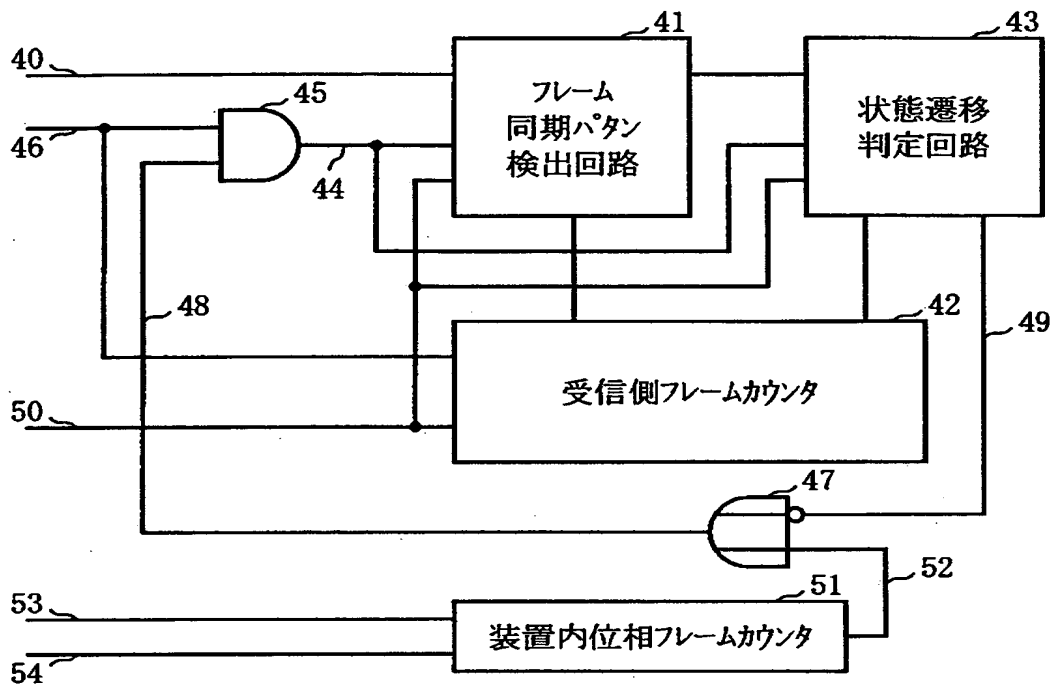
【符号の説明】

- 4 0 受信データ
- 4 1 フレーム同期パターン検出回路
- 4 2 受信側フレームカウンタ
- 4 3 状態遷移判定回路
- 4 4 同期検出クロック
- 4 5 第 1 のゲート
- 4 6 受信クロック
- 4 7 第 2 のゲート
- 4 8 出力信号
- 4 9 ハンチング状態信号
- 5 0 リセット

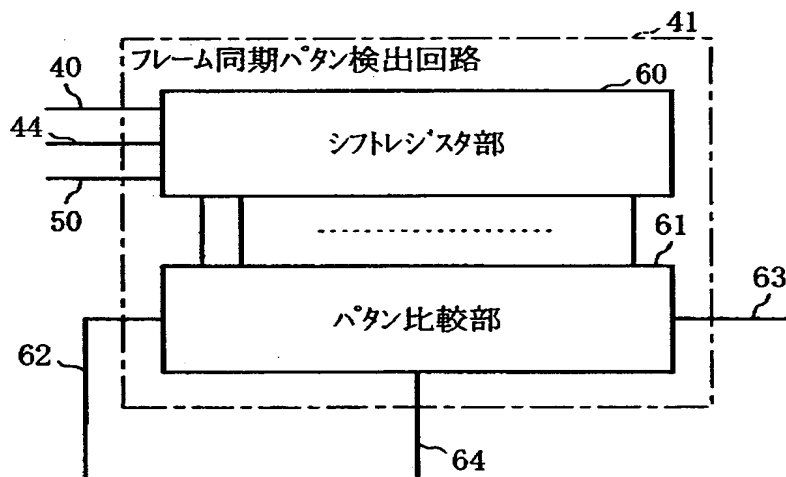
- 5 1 装置内位相フレームカウンタ
- 5 2 受信フレームイネーブル信号
- 5 3 装置内クロック
- 5 4 装置内 F P

【書類名】 図面

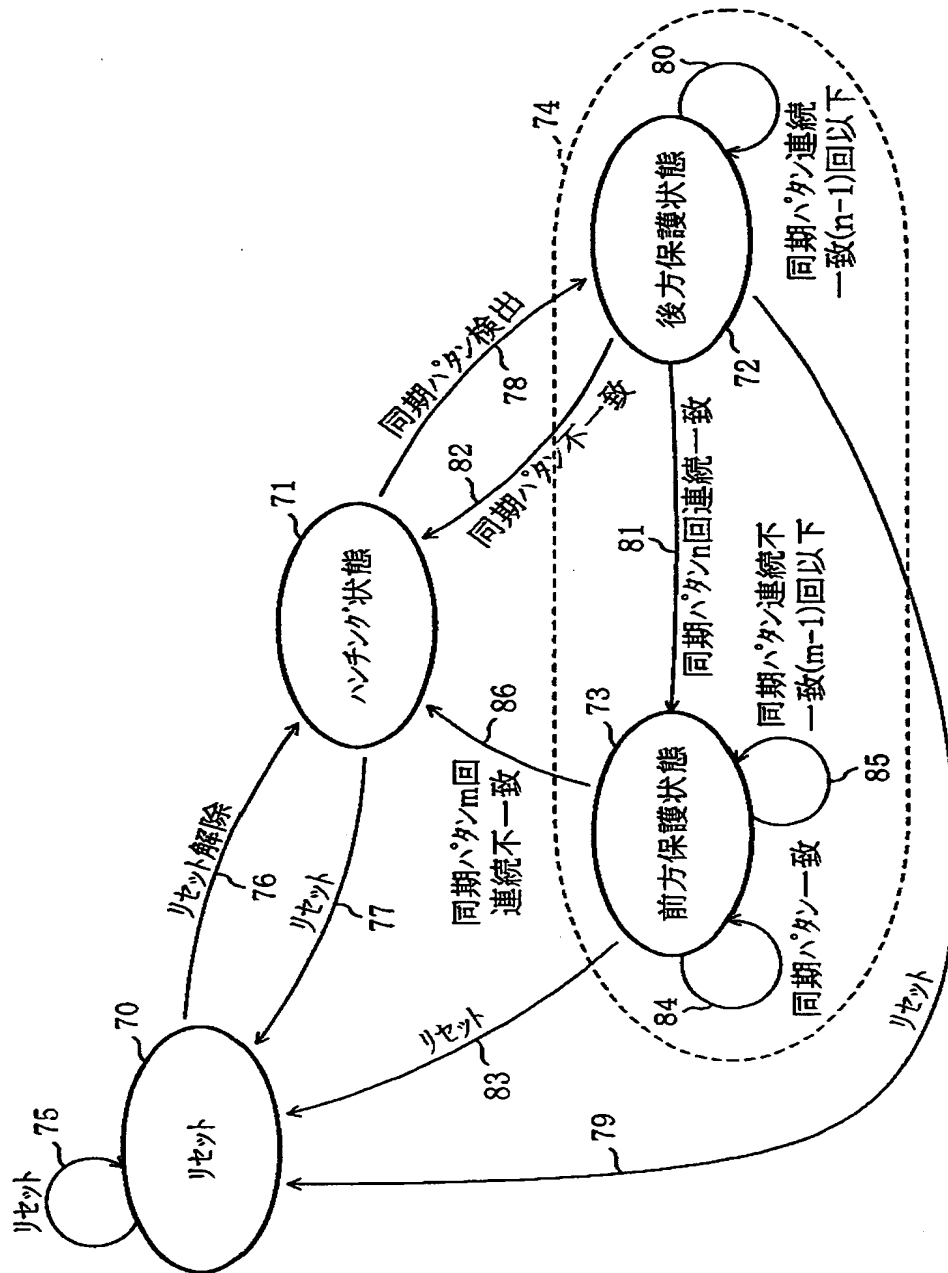
【図 1】



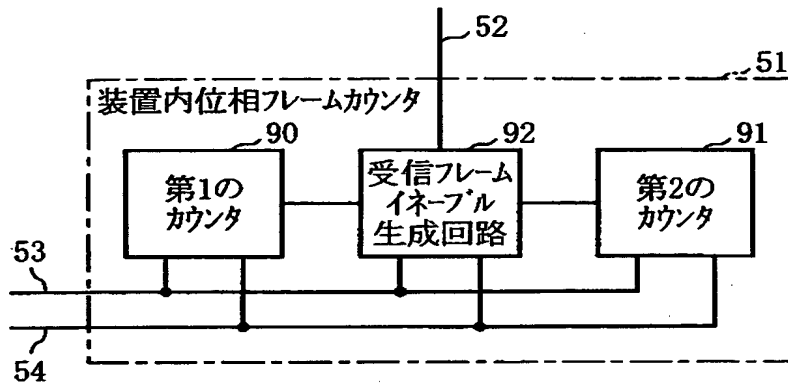
【図 2】



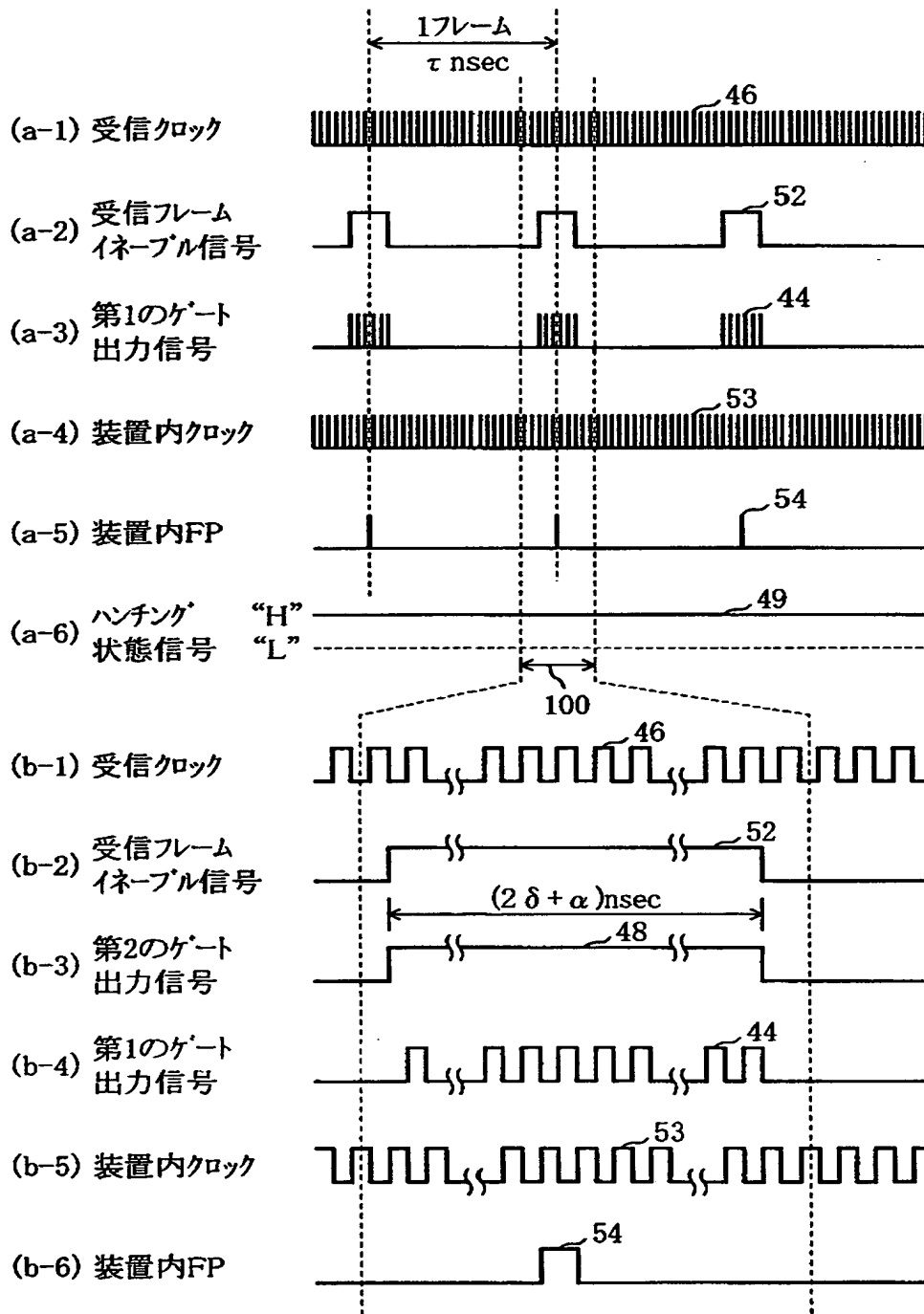
【図 3】



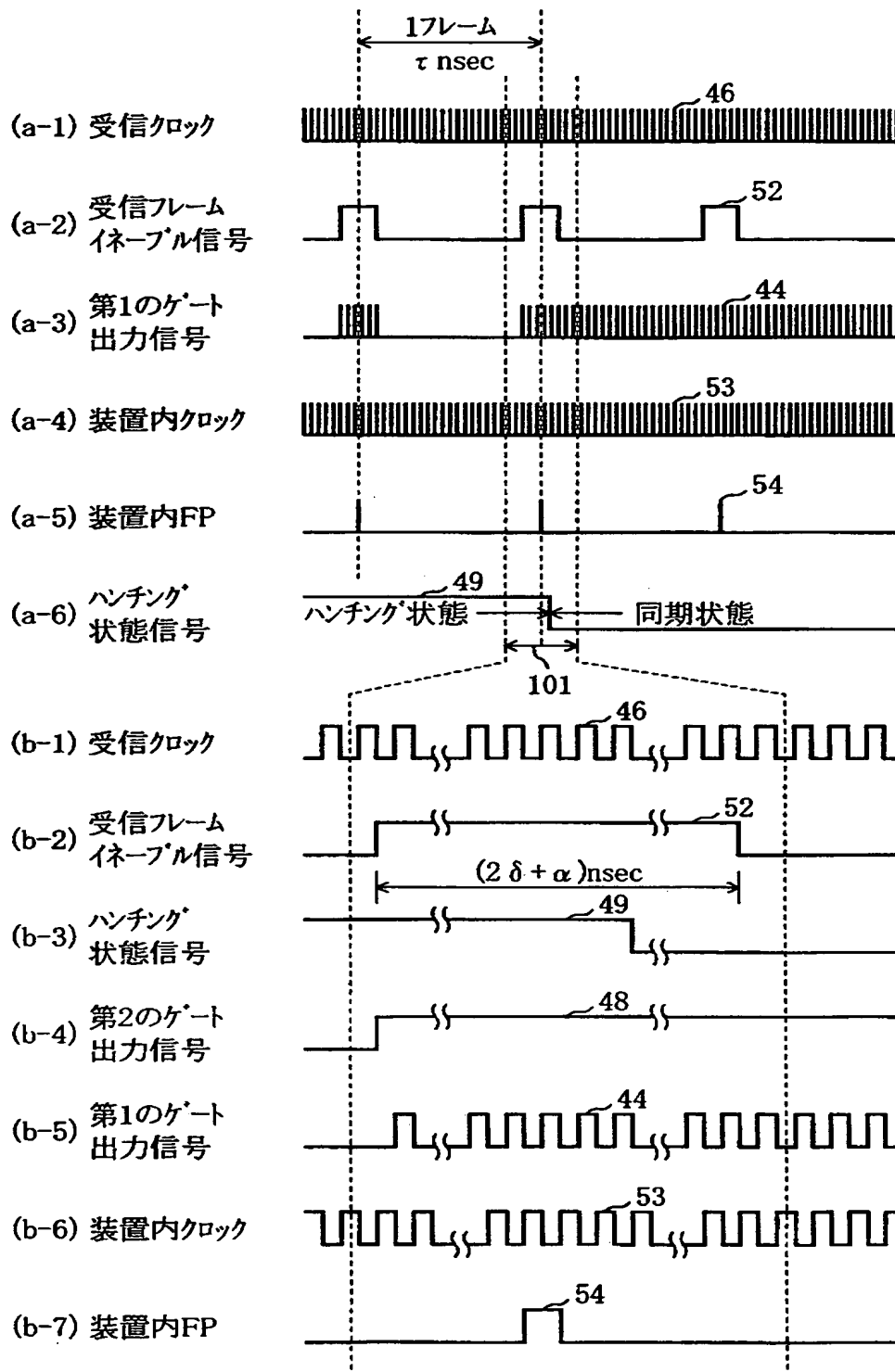
【図 4】



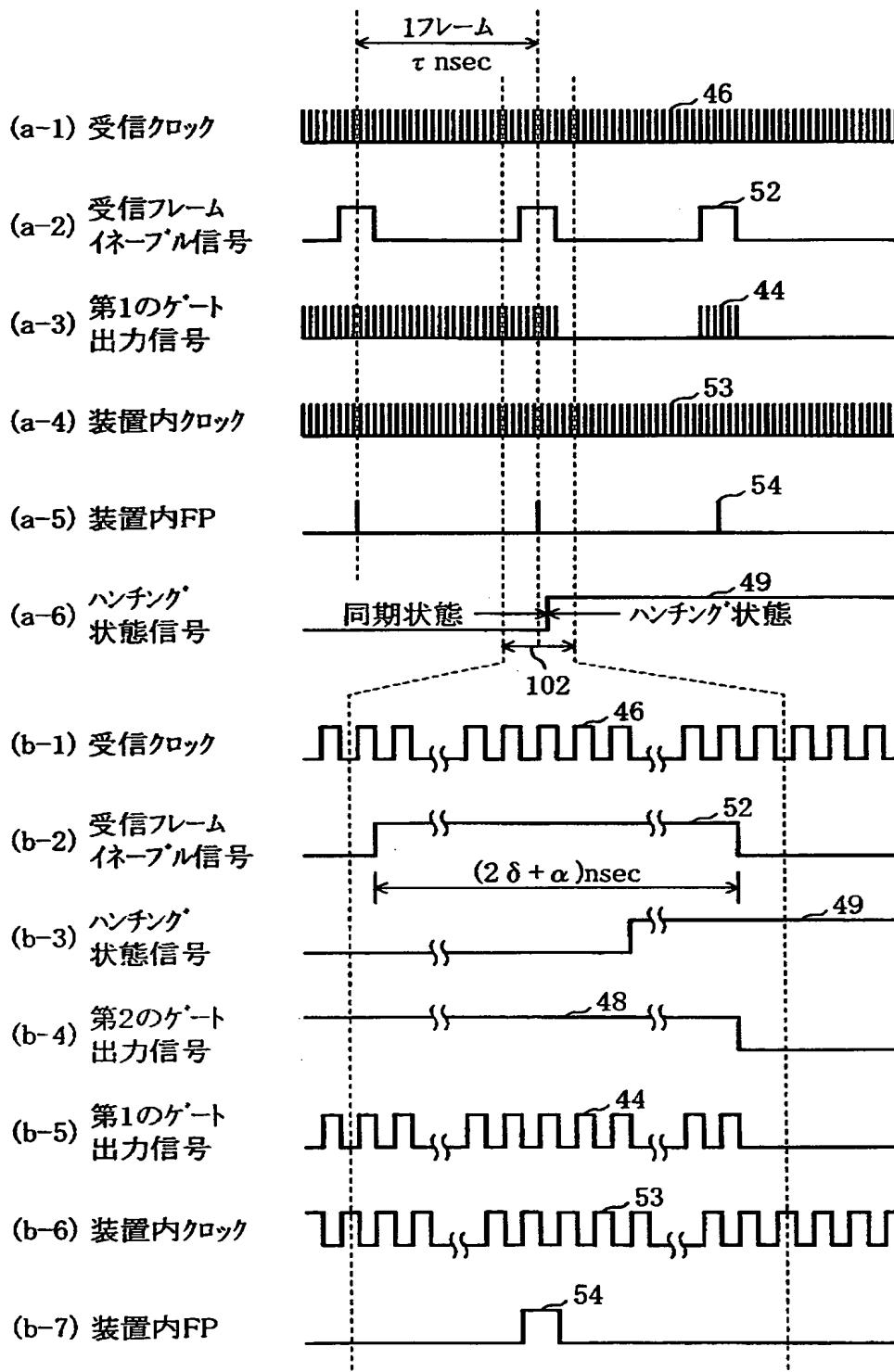
【図5】



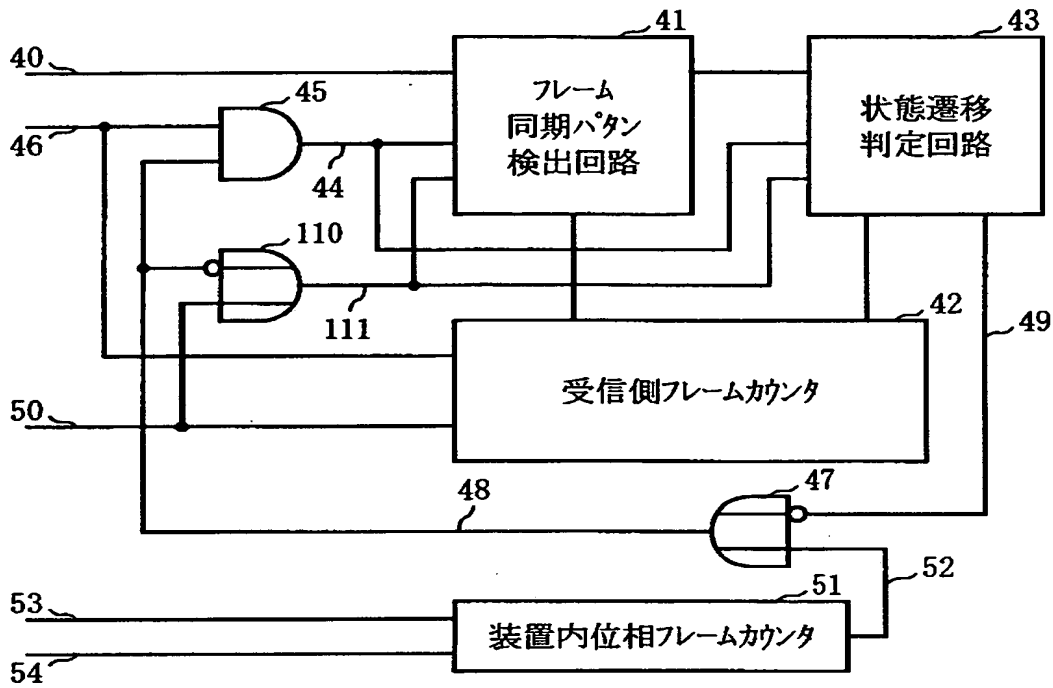
【図 6】



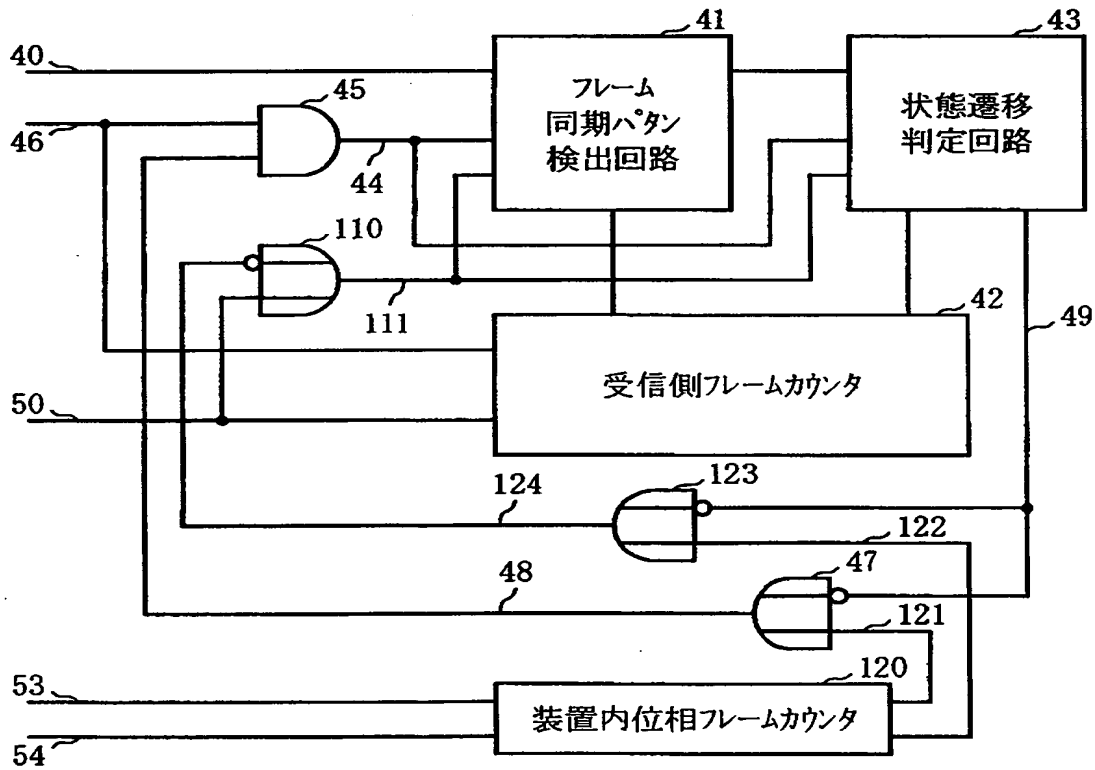
【図 7】



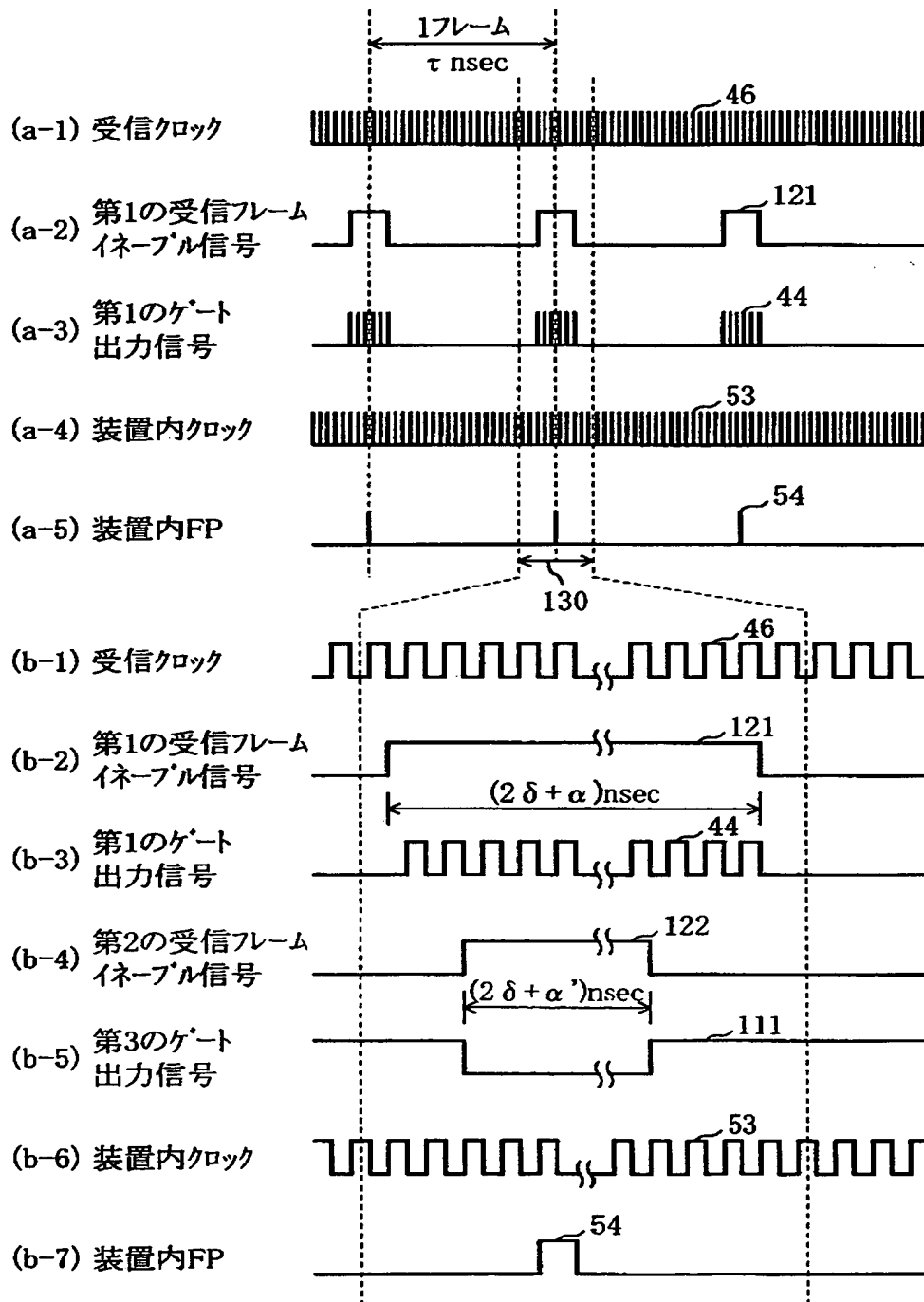
【図 8】



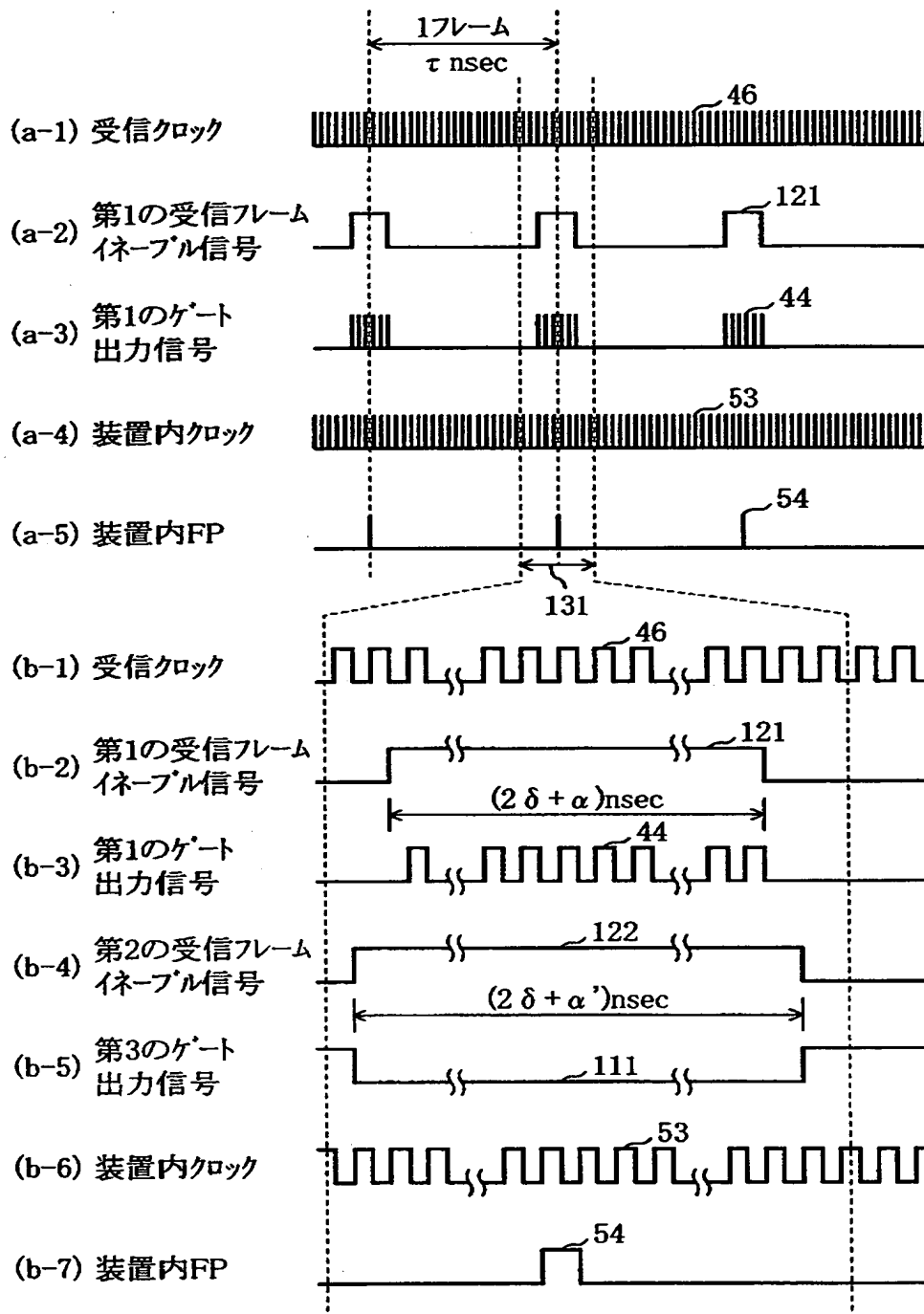
【図 9】



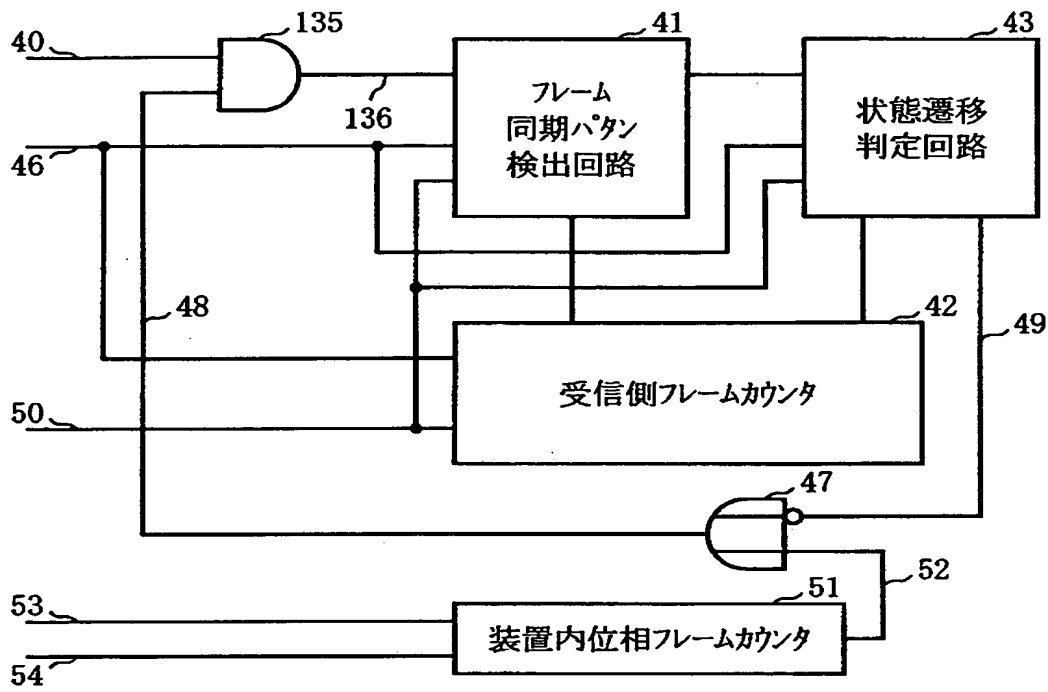
【図 1 0】



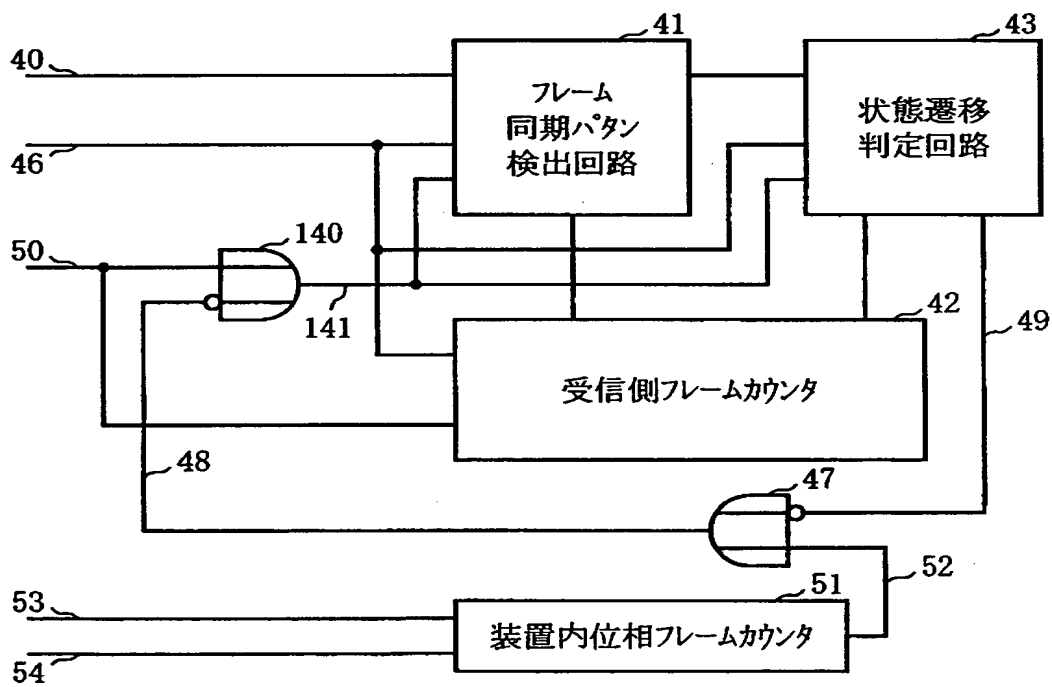
【図 1 1】



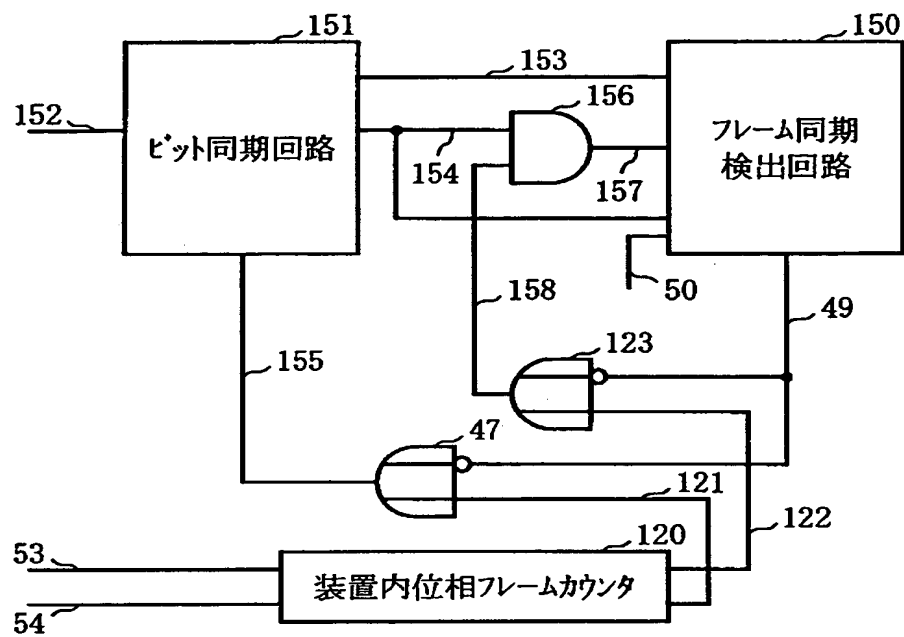
【図 1 2】



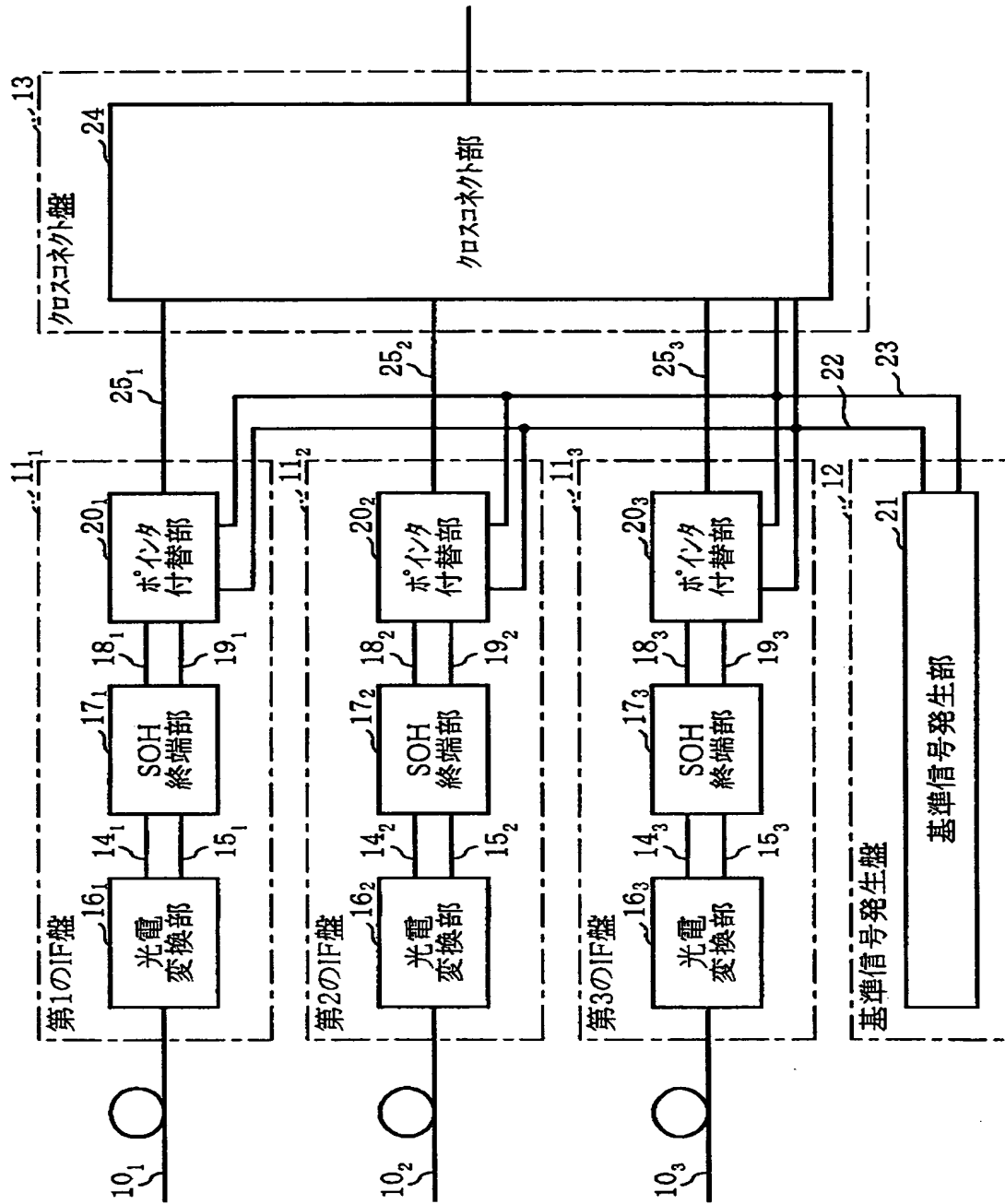
【図 1 3】



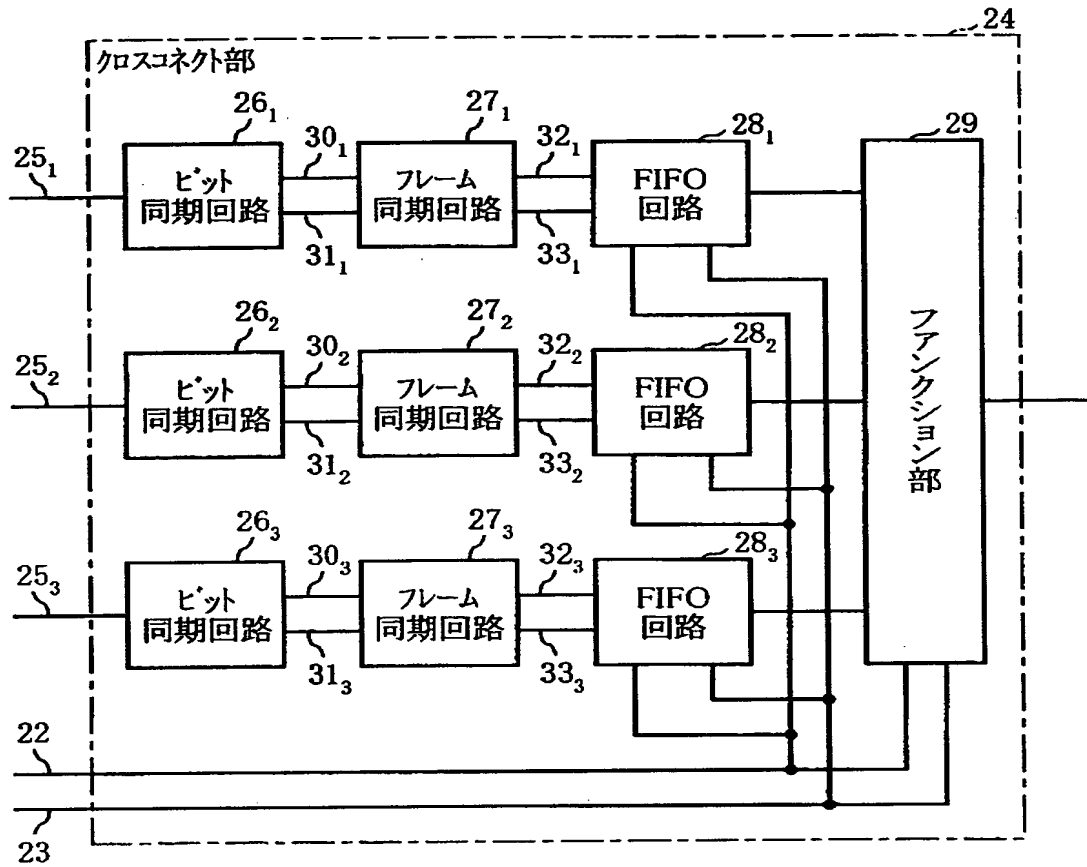
【図 14】



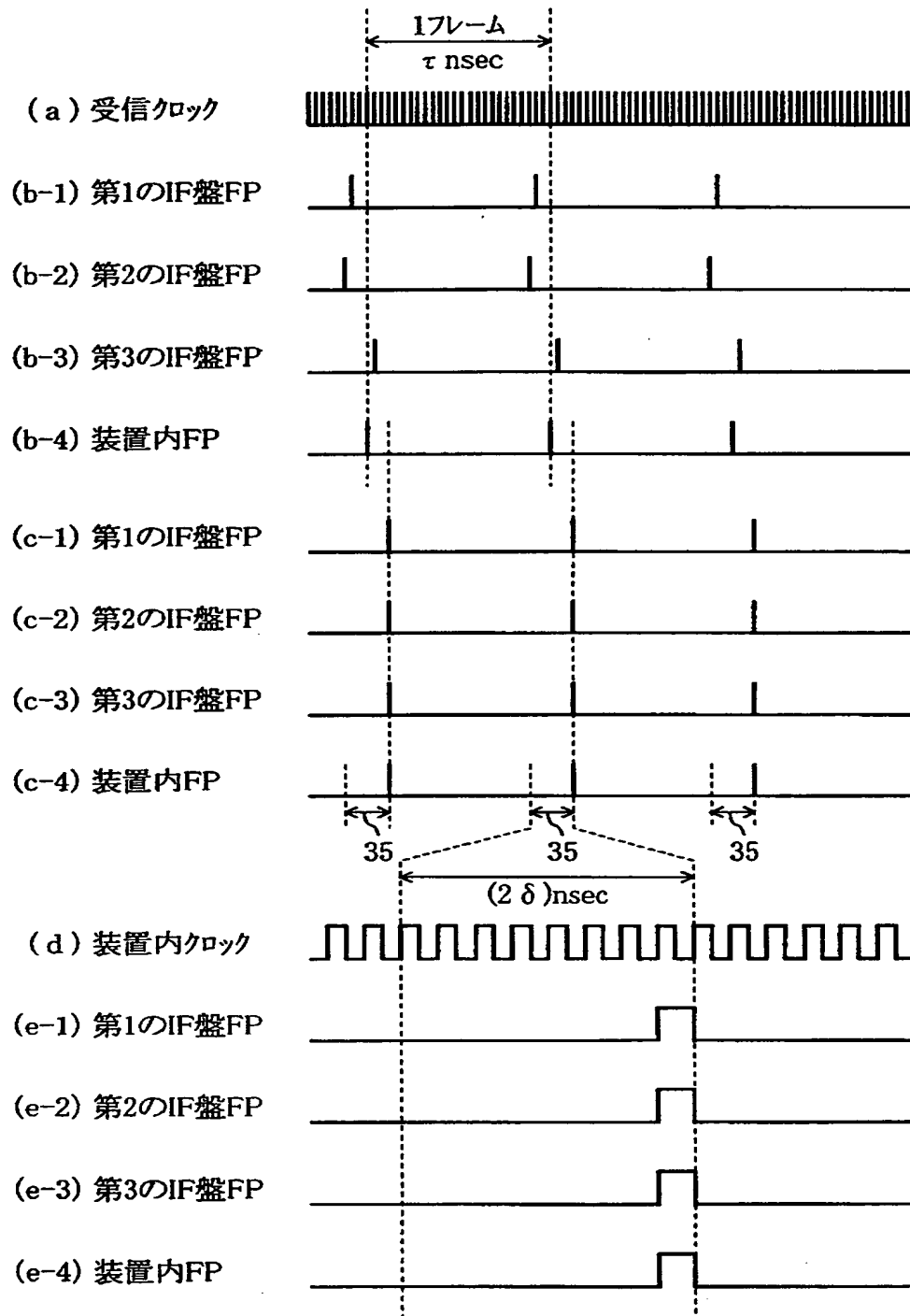
【図 1 5】



【図16】



【図 1 7】



【書類名】 要約書

【要約】

【課題】 ハンチング状態において消費電力の増加を抑えるフレーム同期検出回路を提供する。

【解決手段】 フレーム同期パターン検出回路 4 1、受信側フレームカウンタ 4 2 および状態遷移判定回路 4 3 からなるフレーム同期検出回路に、装置内位相フレームカウンタ 5 1 を設け、装置内 F P 5 4 を中心に " $2\delta + \alpha$ " [nsec] のパルス幅の受信フレームイネーブル信号 5 2 を生成させる。そして、状態遷移判定回路 4 3 によりフレーム同期パターンが見つからずに探している状態であるハンチング状態のときには、この受信フレームイネーブル信号 5 2 によってイネーブル状態にあるときのみ同期クロックをフレーム同期パターン検出回路 4 1 および状態遷移判定回路 4 3 に供給する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2000-004581
受付番号	50000023816
書類名	特許願
担当官	第八担当上席 0097
作成日	平成12年 1月14日

<認定情報・付加情報>

【提出日】	平成12年 1月13日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社